



Université ABBES LAGHROUR Khenchela
Faculté des Sciences et de la Technologie
Département de Génie Industriel
جامعة عباس لغزور خنشلة
كلية العلوم والتكنولوجيا
قسم الهندسة الصناعية



N° Série :.....

Mémoire de fin d'études

Pour l'obtention du diplôme de Master

Filière : Génie Electrique

Spécialité : Télécommunications Avancées

THEME

**Etude et réalisation
d'une modulation numérique FSK
en utilisant un VCO**

Réalisé par :

M. BOUHZEM Adel

M. BOUZAHER Redha

Dirigé par :

Dr. BERKANI Abdelhakim

Membres de jury :

Dr. BADRA Sami, Président

Dr. DOUAK Fouzi, Examineur

Année universitaire 2016/2017

Remerciement

Ce travail de mémoire a été effectué au Laboratoire d'électronique. Nous remercions ces responsables de nous avoir accueillis et permis de travailler dans les meilleures conditions possibles.

On tient à témoigner toute notre reconnaissance à notre encadrant Dr. BERKANI Abdelhakim , pour ses conseils judicieux et également pour sa gentillesse et sa disponibilité.

Nous tenons à exprimer toute notre reconnaissance à toutes les personnes qui ont contribué de loin ou de près au bon déroulement de notre projet.

Nous nous en voudrions à cette occasion d'exprimer notre gratitude à tous nos enseignants qui ont contribué par leur collaboration, disponibilité et sympathie à notre formation.

Merci

Dédicace

Sans la faveur de dieu la force est inutile

Vouloir ce que dieu veut est la science qui nous met en repos

Passent les jours, passe les semaines, la joie revient

Toujours après la peine.

A mes très chers parents

Redha

Dédicace

J'ai un grand plaisir à dédier ce modeste travail :

A mon très cher père et ma très chère mère pour leurs sacrifices pour notre bonheur.

A mes frères et mes sœurs.

A toute la promotion.

A tous mes amis.

A tous ceux qui m'ont aidé durant ma vie universitaire.

Adel

ملخص

في وقتنا الحالي، فإن متطلبات المتعاملين فيما يخص الإرسال الرقمي لمختلف البيانات تحتاج إلى أنظمة مرنة أكثر كفاءة وأقل تكلفة خاصة مجال الاستثمار والتشغيل. واحدة من أهم المحاور التي تمت الدراسة والبحث لتحصيل هذه المتطلبات هي أشكال التضمين الرقمي. هناك عدة أنواع من التضمين الرقمي والتي تستخدم في أنظمة الإرسال الرقمي ، والأكثر استخداما في وقتنا الحالي هي التي تعتمد على تضمين إزاحة التردد وكذلك NRZ و RZ، وهناك تضاميه أخرى ملائمة للحصول على أكبر معدل لنقل البيانات ومدى أكبر والتي اكتشفت في الآونة الأخيرة وهذا قصد توسيع النطاق الطيفي للإشارة منها طيف الانتشار إما بالتتابع المباشر أو عن طريق نظام القفز الترددي في نظم الاتصالات اللاسلكية وهذا للحد من تأثير التداخل بين المستخدمين لنفس القناة الترددية وكذلك التقليل من الأخطاء الناتجة عن تعدد المسارات.

كلمات مفتاحية:

تضمين إزاحة التردد، المذبذبات المحكومة بالجهد، حلقة مقفلة الطور، ترميز المعلومات

RESUME

Aujourd'hui l'exigence des opérateurs ne porte plus jamais sur des systèmes de transmission à la fois performants, flexibles en capacité, facile à gérer et surtout à des coûts d'investissements et d'opération très bas. Un des axes de progrès les plus étudiés dans la recherche d'un bon compromis performance complexité coûts rendent dans les formats de modulation en transmission. Plusieurs formats de modulation sont utilisés dans les systèmes de transmission numériques. Les plus fréquemment utilisés jusqu'à une date très récente sont ceux basés sur la modulation par déplacement de fréquence FSK, NRZ et RZ entre autres. D'autres formats, plus adaptés aux hauts débits et longue portée ont été introduits récemment pour élargir la bande spectrale d'un signal, parmi lesquelles l'étalement de spectre, qu'il soit par séquence directe ou par sauts de fréquence, et les techniques multi porteuses.

Mots clés :

Modulation par saut de fréquence, Oscillateur commandé en tension, Boucle à phase asservie, Codage de l'information.

ABSTRACT

Today the requirement of the operators ever concerns systems of transmission at the same time competitive, flexible in capacity, easy to manage and especially at costs of investments and of operation very low. One of the axles of progress most studies performance in the research of a good compromise complexity costs is productive in the modulation formats in transmission. Several modulation formats are used in the digital transmission systems .More frequently used until very recent date is the ones based on the modulation Frequency Shift Keying FSK, NRZ and RZ among others. Other formats, more suitable for high bit rates and long range, have recently been introduced to broaden the spectral band of a signal, including spread spectrum, either by direct sequence or by frequency hopping , and Multi-carrier techniques.

Key words:

Frequency-shift keying (FSK), Voltage-Controlled Oscillator (VCO), Phase-Locked Loop (PLL), Coding information

Sommaire

Résumé

Liste des figures

Liste des tableaux

Liste des abréviations

Introduction générale ----- 1

Chapitre I Transmission numérique de l'information

I.1. INTRODUCTION ----- 2

I.2. CHAINE DE COMMUNICATION ----- 2

I.3. LES SUPPORTS DE TRANSMISSIONS ----- 3

I.3.1. PROPAGATION LIBRE ET PROPAGATION GUIDEE ----- 3

I.3.1.1. *Transmission guidée* ----- 3

I.3.1.2. *Transmission libre* ----- 4

I.4. CARACTERISTIQUES DE SUPPORTS DE TRANSMISSION ----- 5

I.4.1. AFFAIBLISSEMENT ----- 5

I.4.2. DEPHASAGE ----- 5

I.4.3. BANDE PASSANTE ----- 6

I.4.4. BRUIT ----- 6

I.5. NUMERISATION D'UN SIGNAL ----- 7

I.5.1. L'ECHANTILLONNAGE ----- 8

I.5.1.1. *Théorème de Shannon* ----- 9

I.5.2. QUANTIFICATION ----- 9

I.5.3. CODAGE ----- 10

I.6. CHOIX DU CODE DE TRANSMISSION ----- 10

I.6.1. SPECTRE EN BANDE DE BASE ----- 10

I.6.2. RECUPERATION DU RYTHME ----- 10

I.6.3. CONTROLE AUTOMATIQUE DU TAUX D'ERREUR ----- 10

I.7. REPRESENTATION DES SIGNAUX CODES ----- 11

I.7.1. CODAGE NRZ (NON RETURN TO ZERO) ----- 11

I.7.2. PARTICULARITES DE CODE NRZ ----- 11

I.7.3. CODAGE HDBN (HAUTE DENSITE BINAIRE D'ORDRE N) ----- 12

I.7.3.1. *Utilisation : HDB3* ----- 12

I.7.3.2. *Les densités spectrales de puissance* ----- 12

I.7.4. CODAGE NRZI (NON RETURN TO ZERO INVERTED) ----- 13

I.7.4.1. Utilisation : Fast Ethernet (100BaseFX), FDDI	13
I.7.5. CODAGE MANCHESTER	13
I.7.5.1. Utilisation : Ethernet 10Base5, 10Base2, 10BaseT, 10BaseFL	13
I.8. CONCLUSION	14

Chapitre II Modulations numériques

II.1. INTRODUCTION	15
II.2. COMPROMIS ENTRE L'EFFICACITE SPECTRALE, LA PUISSANCE ET LE TAUX D'ERREURS	15
II.3. LA BOUCLE A VERROUILLAGE DE PHASE	16
II.1.1. PRINCIPE DE LA BOUCLE A VERROUILLAGE DE PHASE :	17
II.1.2. LE FONCTIONNEMENT DE LA PLL	17
II.4. RAPPELS SUR LES MODULATIONS ANALOGIQUES	18
II.5. PRODUCTION D'UN SIGNAL FM	18
II.1.3. MODULATEUR FM A BOUCLE A VERROUILLAGE DE PHASE	19
II.1.4. DEMODULATEUR FM A PLL	20
II.6. MODULATIONS NUMERIQUES	21
II.1.5. ROLE DE LA MODULATION	21
II.1.6. MODULATION D'AMPLITUDE ASK	21
II.1.6.2. Modulation tout ou rien (OOK : On Off Keying)	22
II.1.6.3. Avantages et limitations	23
II.1.7. LA MODULATION DE FREQUENCE	23
II.1.7.1. La modulation par un signal numérique	23
II.1.7.2. La modulation bi-fréquence ou FSK	24
II.1.7.3. Modulation FSK par signal binaire non filtré	25
II.1.7.4. Modulation FSK par signal binaire filtré	26
II.1.7.5. Modulation FSK à phase continue CPFSK	27
II.1.7.6. Modulation MSK	28
II.1.7.7. Modulation GMSK	29
II.1.7.8. Applications	30
II.1.8. LA MODULATION DE PHASE : PSK	30
II.1.8.2. La modulation de phase à 2 états BPSK (Binary Phase Shift Keying)	31
II.1.8.3. La modulation QPSK (Quadruple Phase Shift Keying)	32
II.1.8.4. La modulation 8PSK	32
II.1.8.5. Avantages et Inconvénients	33
II.7. CONCLUSION	33

Chapitre III Etude et réalisation

III.1. INTRODUCTION	34
III.2. LOGICIELS	34
III.2.1. LOGICIEL ISIS	34
III.2.2. LOGICIEL ARES	34
III.3. ELEMENTS D'UN MODULATEUR NUMERIQUE FSK	35
III.3.1. III.3.1 CONVERTISSEUR ANALOGIQUE NUMERIQUE (CAN)	35
III.4. REALISATION DU CIRCUIT	38
III.4.1. LA SERIALISATION	41
III.4.1.1. <i>Registre à décalage</i>	41
III.4.2. CIRCUIT DE BOUCLE A VERROUILLAGE DE PHASE	43
III.4.3. CIRCUIT GLOBAL DE LA MODULATION FSK	47
III.5. REALISATION PRATIQUE	49
III.6. CONCLUSION	50
Conclusion générale	51
Bibliographie	52
Annexe	53

Liste des figures

FIG. I.1 CHAINE DE TRANSMISSION NUMERIQUE	2
FIG. I.2 PROPAGATION GUIDEE	3
FIG. I.3 PRINCIPE DE TRANSMISSION PAR FIBRE OPTIQUE	4
FIG.I.4 PROPAGATION LIBRE D'UNE ONDE DEPUIS UN EMETTEUR	4
FIG. I.5 ATTENUATION D'UN SIGNAL	5
FIG. I.6 ILLUSTRATION DES PHENOMENES D'ATTENUATION ET DE RETARDEMENT SUBIS POUR UN SIGNAL SINUSOÏDAL TRAVERSANT UN CANAL	6
FIG. I.7 SIGNAL ANALOGIQUE ET SIGNAL NUMERIQUE	7
FIG. I.8 PRINCIPE D'ECHANTILLONNAGE	8
FIG. I.9 SIGNAL ECHANTILLONNE	8
FIG. I.10 FONCTION DE QUANTIFICATION D'UN CONVERTISSEUR A TROIS BITS	9
FIG. I.11 CODAGE NRZ	11
FIG. I.12 CODAGE HDBN	12
FIG. I.13 LES DENSITES SPECTRALES DE PUISSANCE	12
FIG. I.14 CODAGE NRZI	13
FIG. I.15 CODAGE MANCHESTER	13
FIG. II.1 DU CANAL EN FONCTION DU SNR. ICI $W = B$	16
FIG. II.2 SCHEMA D'UNE BOUCLE A VERROUILLAGE DE PHASE	17
FIG. II.3 UN SIGNAL MODULANT EN AM, FM ET PM	18
FIG. II.4 STRUCTURE GENERALE D'UN EMETTEUR FM	19
FIG. II.5 MODULATEUR A PLL	19
FIG. II.6 DEMODULATEUR FM	20
FIG. II.7 EXEMPLE DE TRANSMISSION DE SIGNAL NUMERIQUE	21
FIG. II.8 TECHNIQUE POUR OBTENIR LA MODULATION ASK.	22
FIG. II.9 MODULATION TOUT OU RIEN (OOK) ET SON SPECTRE	22
FIG. II.10 SPECTRE D'UN SIGNAL BINAIRE BRUT	24
FIG. II.11 SPECTRE D'UN SIGNAL BINAIRE FILTRE	24
FIG. II.12 MODULATION FSK	25
FIG. II.13 SIGNAL MODULE FSK	25
FIG. II.14 SPECTRE D'UN SIGNAL MODULE EN $\sin xx$	26
FIG. II.15 UN SIGNAL MODULE FSK	26
FIG. II.16 SCHEMA D'UN SIGNAL MODULE FSK PAR UN SIGNAL BINAIRE FILTRE	26
FIG. II.17 SPECTRE D'UN SIGNAL MODULE FSK PAR UN SIGNAL BINAIRE FILTRE	27
FIG. II.18 MODULATION FSK A PHASE CONTINUE CPFSK	27
FIG. II.19 DSP DES SIGNAUX FSK EN FONCTION DE X	28
FIG. II.20 MODULATION MSK	29
FIG. II.21 CREATION D'UN SIGNAL MODULE PAR GMSK AU DEPART D'UN TRAIN BINAIRE.	30
FIG. II.22 DIAGRAMME POLAIRE DE LA MODULATION BPSK	31
FIG. II.23 ALLURE TEMPORELLE D'UN SIGNAL BPSK	31

FIG. II.24 MODULATION QPSK-----	32
FIG. II.25 QPSK SUR UN CERCLE TRIGONOMETRIQUE -----	32
FIG. II.26 8PSK SUR UN CERCLE TRIGONOMETRIQUE -----	32
FIG. III.1 PRINCIPE DE FONCTIONNEMENT DE C.A.N -----	35
FIG. III.2 ORGANISATION D'UNE CHAINE D'ACQUISITION. -----	35
FIG. III.3 PRINCIPE DU DIVISEUR DE TENSION -----	36
FIG. III.4 SCHEMA SYNOPTIQUE DU CONVERTISSEUR A / N ADC 0804. -----	36
FIG. III.5 BROCHAGES DU CONVERTISSEUR ADC -----	38
FIG. III.6 SCHEMA ELECTRIQUE DU CONVERTISSEUR A/D APPROXIMATION SUCCESSIVE 8 BITS -----	38
FIG. III.7 CONVERTISSEUR A/N SOU ISIS AVEC LE POTENTIOMETRE P AU NIVEAU 0V -----	39
FIG. III.8 CONVERTISSEUR A/N SOU ISIS AVEC LE POTENTIOMETRE P AU NIVEAU 5V -----	40
FIG. III.9 PARTIE INITIALE DE LA CARACTERISTIQUE DE TRANSFERT DE L'ADC 0804 -----	40
FIG. III.10 DEPLACEMENT DES DONNEES DANS UN REGISTRE A DECALAGE. -----	41
FIG. III.11 BROCHAGE DU 74165-----	42
FIG. III.12 SCHEMA SOU ISIS REPRESENTE LA LIAISON DE 74165 AVEC ADC0804 -----	43
FIG. III.13 SCHEMA FONCTIONNEL TYPIQUE -----	44
FIG. III.14 BROCHAGE HEF4046B-----	44
FIG. III.15 MANIPULATION D'UN MODULATEUR FSK SOU ISIS A BASE D'UN VCO -----	46
FIG. III.16 MODULATION FSK-----	46
FIG. III.17 GRAPHE REPRESENTANT LA MODULATION FSK -----	47
FIG. III.18 SCHEMA GLOBALE MODULATION FSK -----	47
FIG. III.19 MESURE DE F1 ET F2 -----	48
FIG. III.20 AFFICHAGE DE LA FREQUENCE F1-----	48
FIG. III.21 AFFICHAGE DE LA FREQUENCE F2-----	48
FIG. III.22 TYPON DU CIRCUIT MODULATEUR FSK-----	49
FIG. III.23 : CIRCUIT REALISE D'UN MODULATEUR FSK-----	49

Liste des Tableaux

TABEAU III.1: FONCTION DES BROCHES DU 74165-----	42
TABEAU III.2: DESCRIPTION DES BROCHES DU HEF4046B -----	45

Liste des abréviations

- **CAN** Convertisseur Analogique Numérique
- **CNA** Convertisseur Numérique Analogique
- **DSP** Densité Spectrale de Puissance
- **MAQ** Modulation d'amplitude de deux porteuses en quadrature
- **QAM** Quadrature Amplitude modulation
- **MDA** Modulation par Déplacement d'Amplitude
- **ASK** Amplitude Shift Keying
- **MDAP** Modulation par Déplacement d'Amplitude et de Phase
- **MDF** Modulation par Déplacement de Fréquence
- **FSK** Frequency Shift Keying
- **MDP** Modulation par Déplacement de Phase
- **PSK** Phase Shift Keying
- **MDPD** Modulation par Déplacement de Phase Différentiel
- **DPSK** Differential Phase Shift Keying
- **NRZ** Non Retour à Zéro
- **PLL** Phase Lock Loop
- **VCO** Voltage controlled Oscillator

Introduction générale

Il n'y a pas si longtemps, lorsque les systèmes numériques les plus rapides transmettaient l'information à un débit de 270 Mbits/s, le câble coaxial était parfaitement à même de remplir son rôle de support de transmission. Mais avec l'apparition des nouveaux services liés au développement du multimédia, un besoin d'un débit de transmission d'informations plus élevé est apparu, et une alternative au câble coaxial était à trouver : pertes trop élevées, courtes distances de propagation, performances limitées. La fibre optique remplit très bien ce rôle de support de transmission. Son utilisation est désormais courante dans les réseaux de télécommunications. Le moyen le plus simple pour transmettre un signal électrique par voie optique est de moduler l'intensité de la source optique située en amont de la fibre. Et à cause de l'augmentation des débits, la modulation doit être modifiée. Donc après avoir choisi les codes et étudié comment faire le codage de canal on doit moduler l'information mais avant tout il faut savoir très bien choisir le type de modulation qu'on doit utiliser car les différentes modulations se caractérisent par des efficacités différentes, en terme d'occupation spectrale et de puissance émise nécessaire pour obtenir une certaine probabilité d'erreur. On cherche en général à minimiser l'occupation spectrale du signal modulé pour un débit binaire donné et à minimiser la probabilité d'erreur pour des conditions de transmission données (rapport signal sur bruit en particulier). On appelle efficacité spectrale le rapport du nombre de bits transmis par seconde (avec une certaine probabilité d'erreur dans un canal donné) avec largeur de bande utilisée.

Un autre critère est le coût de système qui est lié à la complexité de réalisation du modulateur et du démodulateur. Sur un canal à bande étroite, l'augmentation de débit introduite par un code de taux k/n est compensée en augmentant le nombre de niveaux de la modulation. Mais pour une puissance moyenne émise augmenter le nombre d'états de la modulation dégrade la probabilité d'erreurs. Il faut donc associer judicieusement le codage et la modulation pour obtenir de bonnes performances en termes de probabilité d'erreurs et d'occupation spectrale. Le codage se fait donc dans l'espace des signaux et on cherche à maximiser la distance entre les séquences codées.

Dans le premier chapitre, nous rappelons les notions de base importantes sur la transmission numérique de l'information (émission un signal, supports de transmission, numérisation du signal, codage, réception du signal).

Par la suite le deuxième chapitre illustrera une étude détaillée de différentes techniques de modulations numériques telles qu'ASK, FSK et PSK.

Le dernier chapitre sera consacré à brève présentation du logiciel de simulation utilisé, et à donner les résultats avec sa conception réelle.

Chapitre I

Transmission numérique de l'information

I.1. Introduction

Les systèmes de transmission numérique sont des systèmes véhiculent l'information numérique entre une source et un destinataire en utilisant un support physique comme le câble, la fibre optique ou encore, la propagation sur un canal radioélectrique. Les signaux transportés peuvent être soit directement d'origine numérique, comme dans les réseaux de données, soit d'origine analogique (parole, image, ...etc.) mais convertis sous une forme numérique. La tâche du système de transmission est d'acheminer l'information de la source vers le destinataire avec le plus de fiabilité possible.[3]

I.2. Chaine de Communication

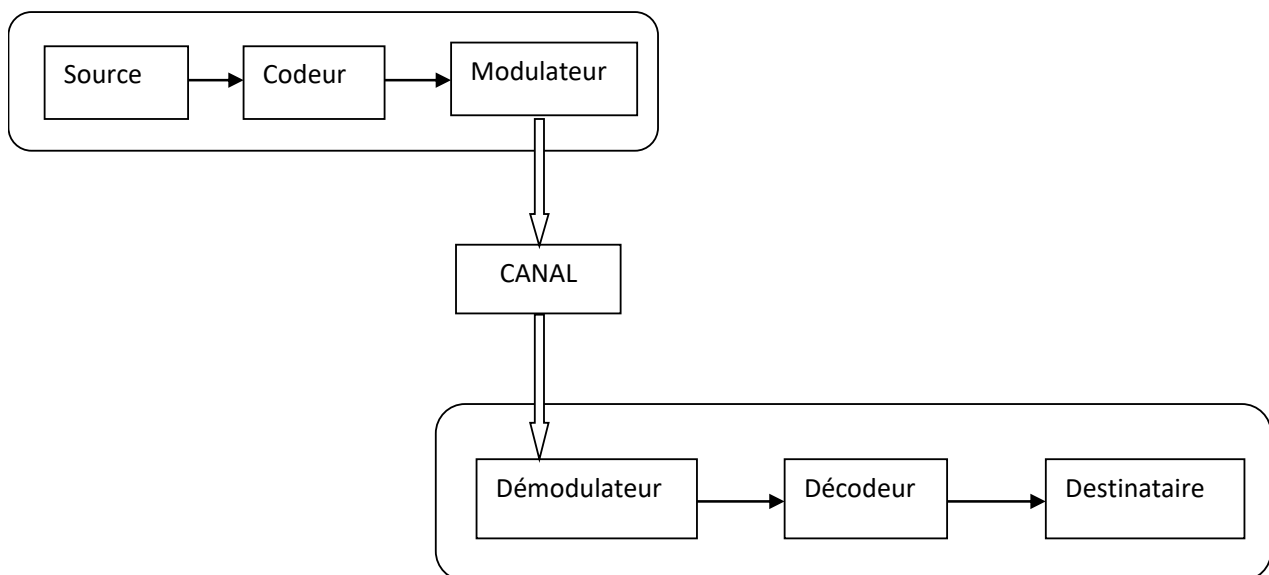


FIG. I.1 Chaîne de transmission numérique

Le schéma synoptique d'un système de transmission numérique est donné à la figure I 1 où l'on se limite aux fonctions de base :

- La source émet un message numérique sous la forme d'une suite d'éléments binaires.
- Le codeur peut éventuellement supprimer des éléments binaires non significatifs (compression de données ou codage de source), ou au contraire introduire de la redondance dans l'information en vue de la protéger contre le bruit et les perturbations présentes sur le canal de transmission (codage de canal). Le codage de canal n'est possible que si le débit de source est inférieure à la capacité du canal de transmission (la probabilité d'erreur P_e tend dans ce cas vers 0 d'après les travaux de Hartley -Shannon).
- La modulation a pour rôle d'adapter le spectre du signal au canal (milieu physique) sur lequel il sera émis.

- Enfin, du côté récepteur, les fonctions de démodulation et de décodage sont les inverses respectifs des fonctions de modulation et de codage situées du côté émetteur. [4]

I.3. Les supports de transmissions

I.3.1. Propagation libre et propagation guidée

Le signal émis par une source se propage vers un ou plusieurs destinataires via un canal de transmission. Ces canaux se divisent en deux catégories :

- Les canaux de propagation libre quand le signal peut se propager librement suivant toutes les directions.
- Les canaux de propagation guidée lorsque le signal est contraint de se déplacer dans un espace limité.

I.3.1.1. Transmission guidée

a) Transmission guidée par câble

Les premiers systèmes de communication moderne, comme le télégraphe et le téléphone, reposent sur la propagation d'un signal électrique guidé le long d'un conducteur électrique. On utilise pour cela un matériau conducteur entouré d'un isolant. [7]

Un câble est un guide dans lequel un signal électrique peut se propager.

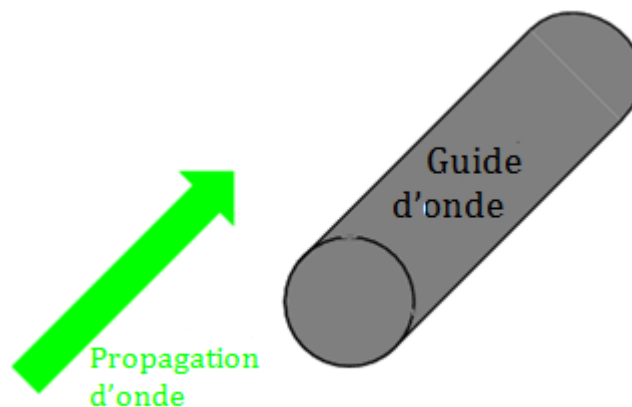


FIG. I.2 Propagation guidée

b) Transmission guidée par fibre optique

Une fibre optique se compose d'un cœur et d'une gaine d'indice optique plus faible. La lumière peut ainsi être piégée par réflexions totales successives à l'intérieur du cœur de la fibre.

Le fonctionnement des fibres optiques est basé sur la réflexion totale.

Une fibre optique est un guide dans lequel un signal lumineux (laser) peut se propager.

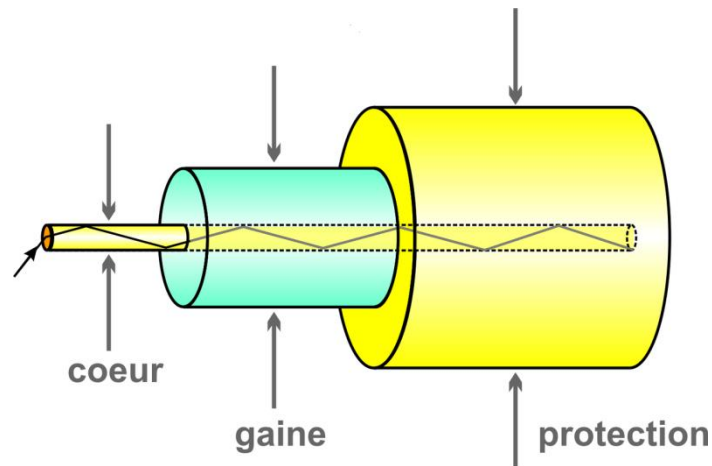


FIG. I.3 Principe de transmission par fibre optique

Remarque : Lorsque la lumière se propage dans la fibre, seuls certains chemins peuvent être utilisés (ceux qui interfèrent de façon constructive). Ils sont appelés modes de propagation de la fibre.

I.3.1.2. Transmission libre

Une information peut également être transmise dans l'air en utilisant une onde électromagnétique de fréquence élevée comme support.

L'onde est alors modulée. La modulation consiste à modifier une ou plusieurs caractéristiques de l'onde afin d'y incorporer le signal.

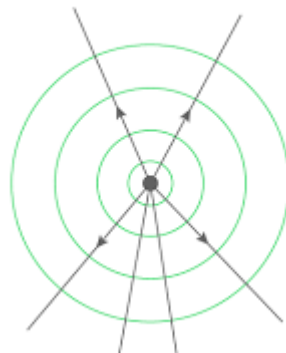


FIG.I.4 Propagation libre d'une onde depuis un émetteur

La modulation d'amplitude et la modulation de fréquence sont deux techniques de transmission hertzienne d'informations.

I.4. Caractéristiques de supports de transmission

I.4.1. Affaiblissement

Un canal de transmission atténué (affaiblit) l'amplitude du signal qui le traverse. Le phénomène d'atténuation correspond à une perte d'énergie du signal pendant sa propagation sur le canal, est s'accroît avec la longueur de celui-ci. La quantité d'énergie perdue dépend très étroitement de la fréquence du signal et de la bande passante du système. On mesure l'atténuation par le rapport $\frac{P_s}{P_e}$ où P_s est la puissance du signal à la sortie du canal et P_e la puissance du signal à l'entrée du canal. Il est courant d'exprimer l'atténuation en décibels (dB) sous la forme $10 \log \frac{P_s}{P_e}$ (elle est aussi exprimée en décibels par kilomètre).[16]

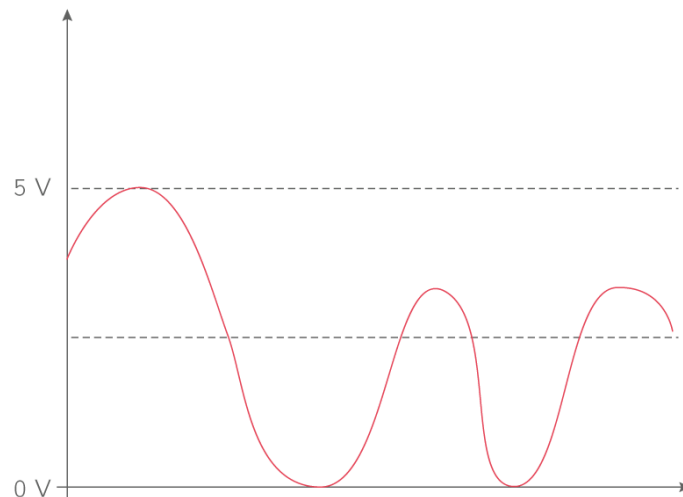


FIG. I.5 Atténuation d'un signal

Remarque :

Dans la plupart des cas, le taux d'atténuation d'un canal est connu et il peut être possible, en associant des amplificateurs correcteurs de compenser l'atténuation dès que celui-ci atteint une valeur trop grande.

I.4.2. Déphasage

Le déphasage, encore appelé distorsion de phase, implique un retard du signal reçu par rapport au signal émis dû au temps de propagation de ce signal de l'émetteur vers le récepteur.

La figure.I 6 illustre les phénomènes d'atténuation et de retardement subis par un signal de forme sinusoïdale.

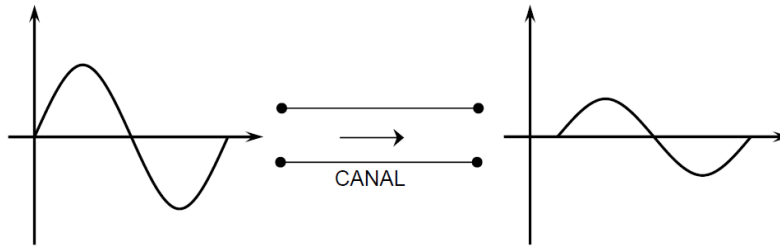


FIG. I.6 Illustration des phénomènes d'atténuation et de retardement subis pour un signal sinusoïdal traversant un canal

I.4.3. Bande passante

La largeur de la bande passante est la caractéristique essentielle d'un support de transmission, qui se comporte généralement comme un filtre qui ne laisse donc passer qu'une bande limitée de fréquence appelée bande passante. Toute fréquence en dehors de cette bande est fortement affaiblie.

Exemple

Une ligne téléphonique ordinaire ne laisse passer que les signaux de fréquence comprise entre 300Hz et 3400Hz. Au dehors de cette bande les signaux sont fortement atténués et ne sont plus compréhensibles, on dit alors que la bande passante d'une telle ligne est de 3400–300 Hz soit 3100Hz. Par contre un câble coaxial utilisé dans les réseaux locaux a une bande passante nettement supérieure dont la largeur est de l'ordre des centaines de MHz (300 à 400 MHz). Il est important de noter que lorsqu'on parle de bande passante W (en Hz), on indique une longueur d'intervalle sans préciser les bornes de cet intervalle.

I.4.4. Bruit

Le bruit est un signal perturbateur provenant du canal lui-même ou de son environnement externe. Il est de comportement aléatoire et vient s'ajouter au signal véhiculant les informations et provoquer ainsi les erreurs de transmission (on va voir dans la dernière partie de ce chapitre comment protéger l'information contre ces bruits).

On distingue généralement deux types de bruit : le bruit blanc et le bruit impulsif.

a) Bruit blanc

Le bruit blanc est un bruit dont la puissance est uniformément répartie dans toute la bande passante du canal, il s'agit essentiellement d'un bruit provoqué par l'agitation thermique des électrons dans le conducteur électrique.

b) Bruit impulsif

Comme son nom l'indique ce type de bruit est à caractère impulsif, il se présente sous forme de tensions perturbatrices de valeur élevée mais de durée brève.[2]

Ces bruits sont très gênants pour la transmission de données, car le signal perturbateur modifie la forme du signal reçu à des instants quelconques (aléatoires) telles qu'il se produit des erreurs à la réception. Les sources de bruit impulsif sont nombreuses. On peut citer notamment :

- la diaphonie (crosstalk) est d'une manière générale, une influence mutuelle indésirable entre signaux utiles transmis sur des conducteurs voisins l'un de l'autre dans l'espace, par exemple dans un même câble. Cela résulte principalement d'un couplage inductif dû au champ magnétique de l'une des lignes sur l'autre et réciproquement.

- Les brusques variations de courant sur les lignes d'alimentations électriques.
- Phénomènes atmosphériques, solaires, ou autres.

➤ Notion de rapport signal sur bruit

La quantité de bruit présente sur un canal de transmission, est exprimé par le rapport de la puissance du signal transmis sur la puissance de bruit et prend le nom de rapport signal sur bruit, nous écrivons ce rapport $\frac{S}{B}$ et on a coutume de l'exprimer sous la forme $10 \log \frac{S}{B}$ en décibels (dB). Ce rapport varie dans le temps, puisque le bruit n'est pas uniforme, toutefois on peut en estimer une valeur moyenne sur un intervalle de temps. Le rapport signal sur bruit est aussi une caractéristique d'un canal de transmission.[5]

I.5. Numérisation d'un signal

Un signal analogique est un signal continu qui peut prendre une infinité de valeurs, alors que le signal numérique est un signal discret (discontinu), qui se résume en une succession de « 0 » et de « 1 ».

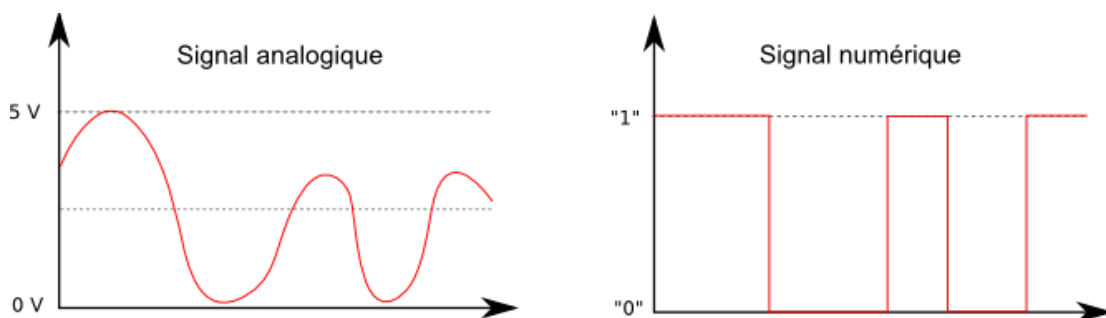


FIG. I.7 Signal analogique et signal numérique

L'objectif de la numérisation est de transformer le signal analogique qui contient une quantité infinie d'amplitudes en un signal numérique contenant lui une quantité finie de valeurs.

I.5.1. L'échantillonnage

L'échantillonnage consiste à prélever l'échantillon di signal analogique à un intervalle périodique. Tout se passe comme ci un interrupteur laisse passer le signal (interrupteur fermé) pendant δ secondes et bloqué (interrupteur ouvert) pendant $T_e - \delta$ secondes au rythme d'une horloge de période T_e .

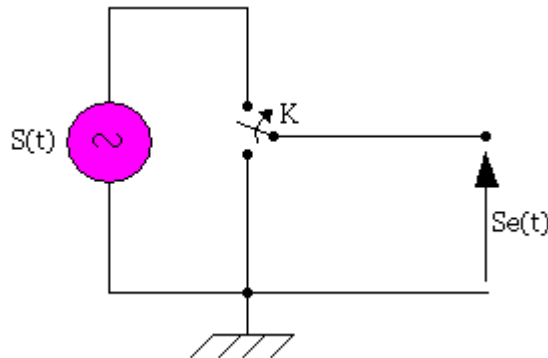


FIG. I.8 Principe d'échantillonnage

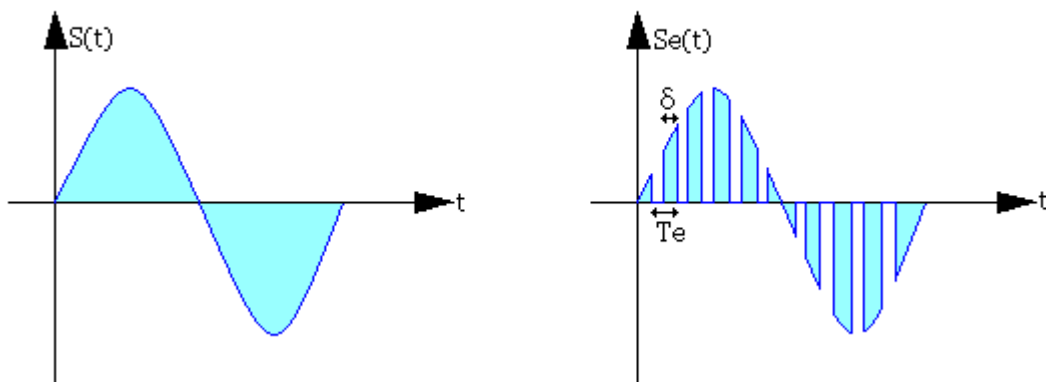


FIG. I.9 Signal échantillonné

δ : Durée d'un échantillon

$T_e = \frac{1}{f_e}$: Période d'échantillonnage

La période d'échantillonnage T_e ne peut prendre une valeur quelconque car il faut prélever suffisamment les échantillons pour ne pas perdre l'information contenue dans le signal $S(t)$. Un théorème de Shannon permet de déterminer la fréquence d'échantillonnage minimale (également appelée fréquence Nyquist).[7]

I.5.1.1. Théorème de Shannon

F_e min(Hz) est la valeur minimale théorique de fréquence d'échantillonnage valant au minimum deux fois la fréquence maximale du spectre du signal à échantillonner. Soit $S(t)$ un signal donc le spectre est à bande limitée $[-B;+B]$, $S(t)$ peut être reconstitué à partir de ces échantillons $S_e(T_e)$, à condition que T_e soit supérieur ou égale à $2B$. Supposons que le spectre audible s'étend de 20Hz à 20KHz, la fréquence d'échantillonnage de sera au moins de 40KHz.

I.5.2. Quantification

L'échantillonnage d'un signal BF consiste en une modulation d'un peigne d'impulsions par le signal BF.

Le résultat est une modulation d'amplitude de l'impulsion par le signal encore appelée PAM (Pulse Amplitude Modulation).

Nous pouvons transmettre ces impulsions modulées en amplitude mais elles seraient très sensibles aux bruits et distorsions.

Pour reconstituer le signal à la réception, il n'est pas indispensable de transmettre directement ces impulsions. Il suffit de transmettre une information caractérisant l'amplitude de chacune d'entre elles.

Pour cette raison, nous quantifions le signal en faisant correspondre à chaque amplitude d'échantillon, l'amplitude la plus voisine d'une suite discrète et finie d'amplitudes "étalons" appelées "niveaux".

C'est la valeur de ces niveaux qui, à l'émission, après codage, sera transmise en ligne. Chaque niveau de l'échelle de quantification est caractérisé par un numéro binaire.

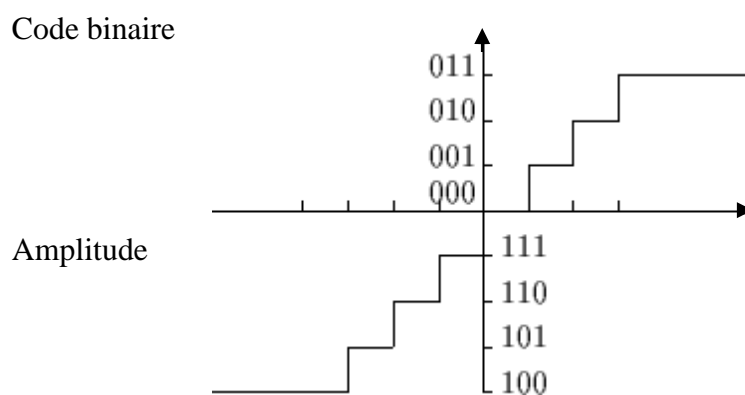


FIG. I.10 Fonction de quantification d'un convertisseur à trois bits [10]

I.5.3. Codage

Le codage permet de rendre négligeable les probabilités d'erreurs de transmission. La correction des erreurs et le chiffrement sont deux aspects importants de la protection de l'information. Il s'agit d'une part de résister au bruit et d'autre part de lutter contre les fraudes. Ces deux démarches contradictoires, révéler contre cacher, sont complémentaires.

L'intérêt du codage des signaux est de pouvoir convertir les données binaires en signaux radiofréquence et de faciliter le transfert de ces données d'un interlocuteur vers l'autre. Pour pouvoir transférer ces données, qu'il est nécessaire de moduler les signaux. Le type de modulation varie en fonction du sens de communication et, pour ces raisons, le type de codage varie selon le sens de la communication également. Dans tous les cas, l'objectif reste de pouvoir simplifier ce transfert et faciliter la récupération des informations au niveau du destinataire.[9]

I.6. Choix du code de transmission

Il dépend d'un certain nombre de paramètres :

I.6.1. Spectre en bande de base

Il doit satisfaire aux spécifications suivantes :

- Un encombrement minimum.
- Une transmission nulle en continu.

L'encombrement minimum permet de réduire le bruit à la réception et éventuellement de réaliser un multiplexage en longueur d'onde.

La polarisation des éléments actifs du récepteur oblige à découpler la source de polarisation à l'aide de capacités bloquant ainsi toute composante continue. Pour éviter tout problème de transmission, il est important que le signal transmis n'ait pas de composante continue.

I.6.2. Récupération du rythme

Elle est nécessaire lors de la prise de décision (1 ou 0) et également lors de la régénération du signal numérique. Il faut donc que le code en ligne choisi permette la récupération du signal d'horloge.

I.6.3. Contrôle automatique du taux d'erreur

Pour que ce contrôle puisse se faire sans interruption de la transmission, il faudrait que le code utilisé soit redondant.

I.7. Représentation des signaux codés

Parmi les codes les plus utilisés nous citerons les codes NRZ et HDBn

Pour l'ensemble des différents codes décrits, nous prendrons la même suite binaire afin de permettre la comparaison : 1 0 0 0 0 1 0 1 1 1 1

I.7.1. Codage NRZ (Non Return to Zero)

Principe : très proche du codage binaire de base, il code un 1 par $+V$, un 0 par $-V$

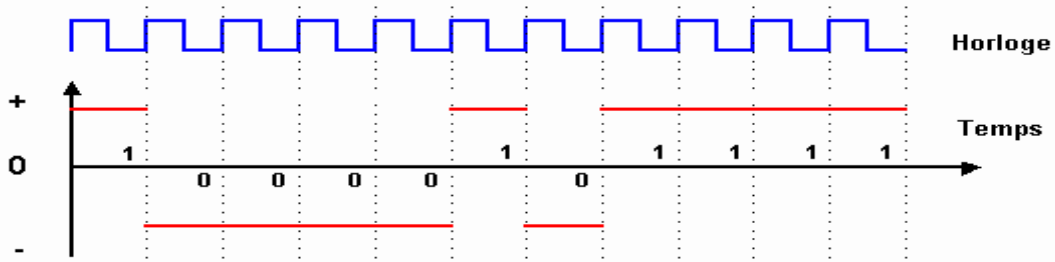


FIG. I.11 Codage NRZ

Le codage NRZ améliore légèrement le codage binaire de base en augmentant la différence d'amplitude du signal entre les 0 et les 1. Toutefois les longues séries de bits identiques (0 ou 1) provoquent un signal sans transition pendant une longue période de temps, ce qui peut engendrer une perte de synchronisation.

Le débit maximum théorique est le double de la fréquence utilisée pour le signal : on transmet deux bits pour un hertz. [11]

I.7.2. Particularités de code NRZ

- Possède une composante spectrale non nulle.
- Plusieurs séquences de zéros ne contiennent aucune information sur le rythme. Pour éviter de longues séquences de zéros (de un) on utilise un brouilleur à l'émission et un débrouilleur à la réception. Le brouillage est une opération qui consiste à émettre avec le signal, une séquence pseudo-aléatoire que l'on élimine à la réception à l'aide du débrouilleur.
- Grande facilité de mise en œuvre.

I.7.3. Codage HDBn (Haute Densité Binaire d'ordre n)

I.7.3.1. Utilisation : HDB3

Principe : le principe de base est le même que pour le codage bipolaire, mais pour éviter une trop longue série de 0, on introduit un bit supplémentaire au signal pour terminer une série de n 0 consécutifs. Ce bit supplémentaire est de même phase que le dernier 1 transmis pour pouvoir l'identifier, afin qu'il ne soit pas pris en compte dans l'information transmise. [11]

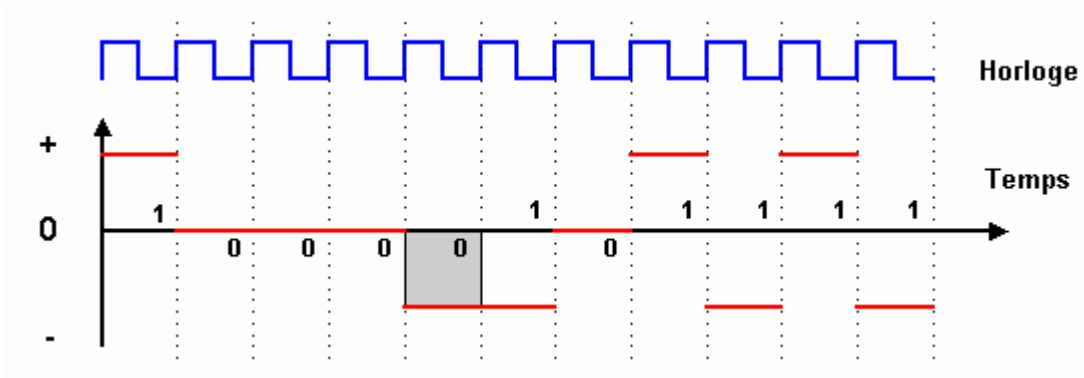


FIG. I.12 Codage HDBn

I.7.3.2. Les densités spectrales de puissance

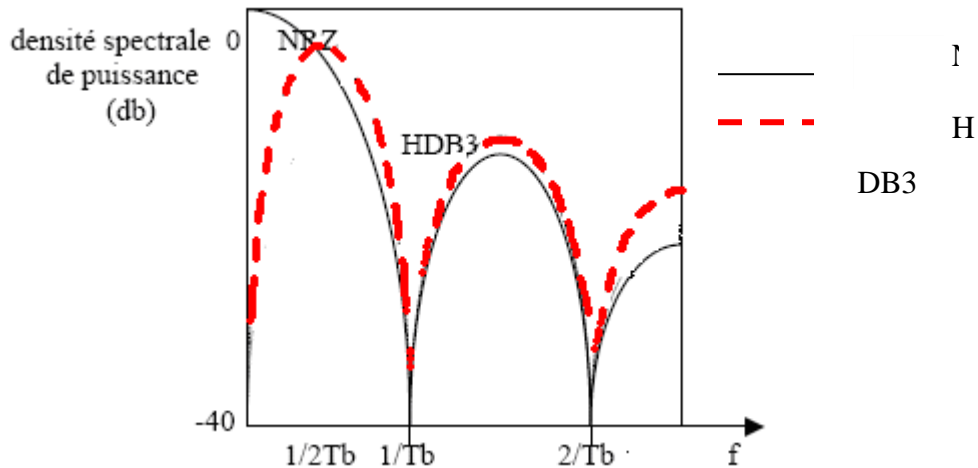


FIG. I.13 Les densités spectrales de puissance

I.7.4. Codage NRZI (Non Return to Zero Inverted)

I.7.4.1. Utilisation : Fast Ethernet (100BaseFX), FDDI

Principe : on produit une transition du signal pour chaque 1, pas de transition pour les 0.

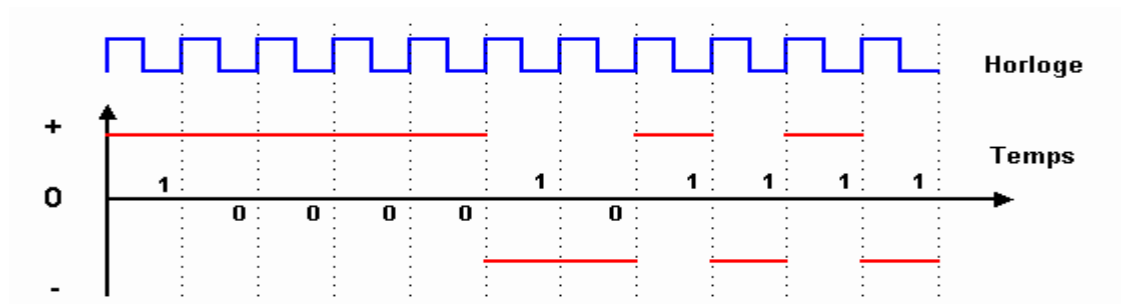


FIG. I.14 Codage NRZI

Avec le codage NRZI, on voit que la transmission de longues séries de 0 provoque un signal sans transition sur une longue période. Le débit binaire est le double de la fréquence maximale du signal : on transmet deux bits pour un hertz. [11]

I.7.5. Codage Manchester

I.7.5.1. Utilisation : Ethernet 10Base5, 10Base2, 10BaseT, 10BaseFL

Principe : dans le codage Manchester, l'idée de base est de provoquer une transition du signal pour chaque bit transmis. Un 1 est représenté par le passage de +V à -V, un 0 est représenté par le passage de -V à +V.

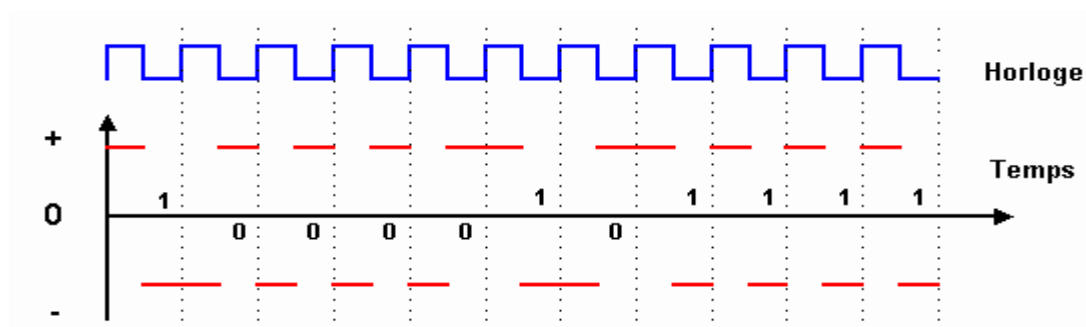


FIG. I.15 Codage Manchester

La synchronisation des échanges entre émetteur et récepteur est toujours assurée, même lors de l'envoi de longues séries de 0 ou de 1. Par ailleurs, un bit 0 ou 1 étant caractérisé par une transition du signal et non par un état comme dans les autres codages, il est très peu sensible aux erreurs de transmission.

La présence de parasites peut endommager le signal et le rendre incompréhensible par le récepteur, mais ne peut pas transformer accidentellement un 0 en 1 ou inversement.

Toutefois, le codage Manchester présente un inconvénient : il nécessite un débit sur le canal de transmission deux fois plus élevé que le codage binaire. Pour 10 Mbit/s transmis, on a besoin d'une fréquence à 10 Mhz.

Ceci le rend difficilement utilisable pour des débits plus élevés. L'utilisation de ce codage pour une transmission à 1 Gbit/s nécessiterait une fréquence maximale du signal de 1 GHz, ce qui est incompatible avec les possibilités des câblages actuels ainsi qu'avec les normes sur les compatibilités électromagnétiques. Plus la fréquence du signal est élevée, plus les phénomènes de paradiaphonie pouvant perturbé les installations avoisinantes du câble sont sensibles. Les normes ISO 11801 et EN 50173 fixent entre autres les règles de compatibilité électromagnétiques (EMC : Electro Magnetic Compatibility). [11]

I.8. Conclusion

Dans cette partie, on a présenté un bref aperçu sur la chaîne de transmission d'un signal qui comporte plusieurs blocs et le principe de la numérisation d'un signal ainsi que les différents types de codage ont été clairement présentés.

Chapitre II

Modulations numériques

II.1. Introduction

La modulation est une technique utilisée pour translater le spectre d'un signal BF vers les HF afin de pouvoir le transmettre facilement à travers un canal de transmission. A la réception, il faut faire l'opération inverse qui consiste à récupérer le signal informatique (message BF) et à rejeter la porteuse (signal HF) : c'est la démodulation.

Pour la démodulation en amplitude, deux techniques sont utilisées :

La première est par détection de crête qui présente des inconvénients.

L'autre est par détection synchrone qui est actuellement la plus utilisée grâce à sa bonne performance surtout pour un signal bruité. Pour cela il est à priori préférable d'utiliser cette technique pour la mesure des signaux BF noyés dans le bruit.

II.2. Compromis entre l'efficacité spectrale, la puissance et le taux d'erreurs

Lors de construction d'un système des communications, trouver le meilleur compromis entre les divers paramètres de système est fondamental. Les objectifs du constructeur peuvent être les suivants :

- a) Maximiser l'efficacité spectrale ;
- b) Minimiser le taux d'erreurs par bit ;
- c) Minimiser la puissance émise ;
- d) Minimiser la bande passante ;
- e) Améliorer la qualité de service, c'est-à-dire accepter les maximum utilisateurs avec le minimum d'interférences créées entre eux ;
- f) Minimiser la complexité du système, etc.

Dans cette partie nous nous concentrons sur le compromis entre l'efficacité spectrale D_b/B , la probabilité d'erreurs par bit P_b et la puissance du signal émis. Très souvent, P_b est remplacé par le BER et la puissance du signal émis par le SNR ; c'est équivalent. Le but est de maximiser D_b/B et de minimiser le BER et le SNR. Comme il est difficile d'optimiser ses trois paramètres au même temps, nous allons les considérer par paires, en fixant le troisième paramètre.

La question est jusqu'où l'optimisation est possible. La théorie de l'information est une matière qui étudie les limites théoriques des systèmes de communication. Voici deux exemples importants. Considérons la paire D_b/B -SNR, supposant la transmission sur le canal gaussien.

La limite théorique dans ce cas est donnée par la théorie de Shannon :

$$\frac{C}{B} = \log_2 \left(1 + \frac{E_b}{N_0} \left(\frac{C}{B} \right) \right),$$

Où $\frac{E_b}{N_0}$ est le SNR, et $\frac{C}{B}$ est l'efficacité spectrale maximale (quand le débit binaire D_b est égale à la capacité théorique C , étant la valeur maximale possible). Cette relation est présentée sur figure. D'ailleurs, les systèmes des communications existants sont à peu près à 10 dB de cette limite (regardez figure.H1). []

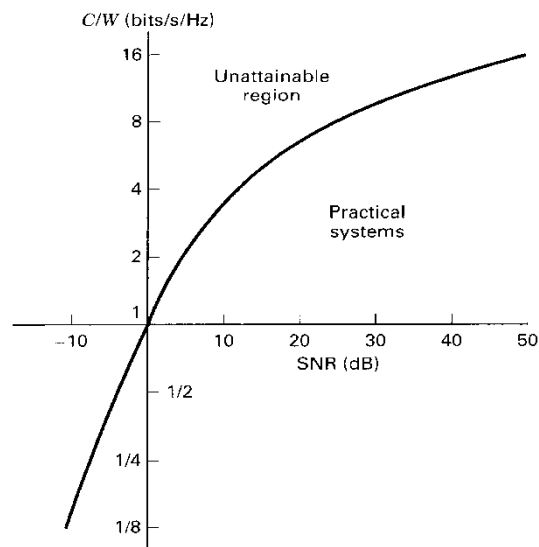


FIG. II.1 du canal en fonction du SNR. Ici $W = B$

Pour simplifier, supposons dans la suite que la probabilité d'erreurs par bit P_b est fixe. Alors, nous avons à trouver le compromis entre l'efficacité spectrale D_b/B et la puissance du signal émis (SNR pour P_b donné). Le choix du modulateur/démodulateur est dicté par ce compromis.

II.3. La boucle à verrouillage de phase

Les PLL, Phase Locked Loop, ou boucles à verrouillage de phase sont des structures essentielles, non seulement dans le domaine des radiocommunications, mais dans toute l'électronique moderne. Les boucles à verrouillage de phase sont aussi appelées synthétiseur de fréquence, car elles permettent de disposer d'une fréquence stable et précise dont la valeur est définie par les caractéristiques de la boucle.

Dans les appareils de transmission professionnels et grand public les PLL sont utilisés pour :

- la génération des porteuses en émission et la génération des oscillateurs locaux en réception;
- la démodulation des signaux analogiques ou numériques modulés en fréquence;
- les systèmes de récupération d'horloge en transmission numérique.

- En métrologie, les PLL sont utilisés pour générer des signaux de fréquence parfaitement connus et stables. Tous les bancs de test en émission ou en réception sont bâtis autour de nombreux PLL.

II.1.1. Principe de la boucle à verrouillage de phase :

La boucle à verrouillage de phase ou Phase Locked Loop (invention française datant de 1932) permet d'asservir la fréquence d'un VCO à la fréquence d'un signal de référence dans une certaine plage autour de la fréquence centrale f_0 .

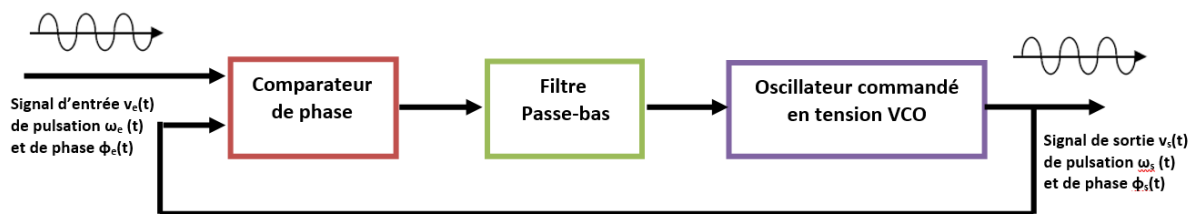


FIG. II.2 Schéma d'une boucle à verrouillage de phase

Les éléments de la PLL sont les suivants :

- l'oscillateur VCO donne une fréquence qui varie en fonction de la tension de commande V appliquée sur son entrée. Il est linéarisé autour de f_0 et caractérisé par sa pente K_0 :
- $K_0 = \frac{\text{variation de la pulsation du signal}}{\text{variation de la tension de commande}}$ en radian/sV
- la fréquence du VCO est comparée avec une fréquence de référence (consigne) grâce à un comparateur de phase (Ou exclusif, comparateur phase-fréquence, pompe de charge)
- le comparateur de phase fournit à sa sortie une tension u alternative dont la valeur moyenne V donnée par un passe-bas est proportionnelle au déphasage entre V_e et V_s . Il est caractérisé par :

Un coefficient souvent noté K_d défini par :

$$K_0 = \frac{\text{valeur moyenne de la tension en sortie}}{\text{déphasage entre les signaux d'entrée}} = \frac{U \text{ moyen}}{\varphi} \text{ en volts/radian}$$

II.1.2. Le fonctionnement de la PLL

Le fonctionnement de la PLL est le suivant :

- En l'absence de signal injecté à l'entrée de la boucle, ou si la fréquence du signal injecté est en dehors de la plage de fonctionnement du VCO, la boucle est dite non verrouillée et $f_s = f_0$
- Si on injecte dans la boucle un signal de fréquence f_e voisin de f_0 , la PLL se verrouille et on aboutit au bout d'un temps bref (1 à 100 ms en général) à un état stable caractérisé par $f_s = f_e$

- Une fois la boucle verrouillée ou accrochée, la fréquence d'entrée peut varier dans la plage de verrouillage sans que cette boucle ne décroche et on a toujours $f_s = f_e$
- Si la fréquence d'entrée sort de la plage de verrouillage, la boucle décroche et on revient à la situation d'une boucle non verrouillée. [12]

II.4. Rappels sur les modulations analogiques

La modulation a pour objectif d'adapter le signal à émettre au canal de transmission. Cette opération consiste à modifier un ou plusieurs paramètres d'une onde porteuse

$$S(t) = A \cos(\omega_0 t + \varphi_0) \text{ centrée sur la bande de fréquence du canal.}$$

Les paramètres modifiables sont :

- L'amplitude : A
- La fréquence : $f_0 = \frac{\omega_0}{2\pi}$
- La phase: φ_0

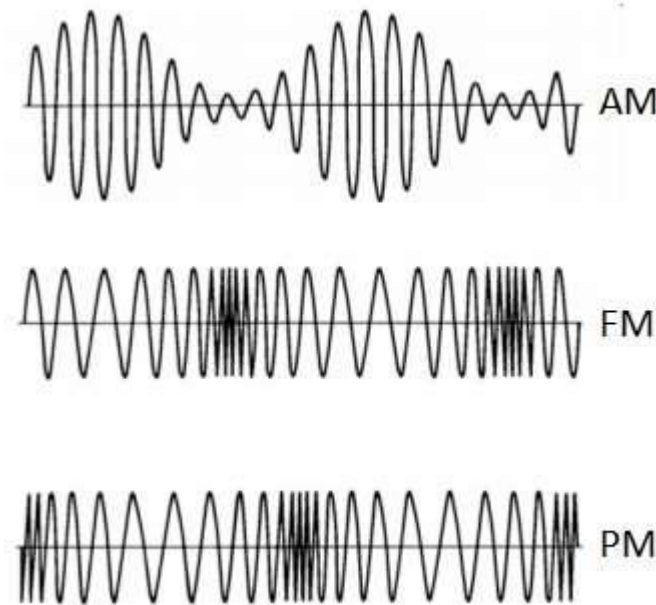


FIG. II.3 Un signal modulant en AM, FM et PM

II.5. Production d'un signal FM

La production d'un signal FM se fait à l'aide d'un VCO, avec une stabilisation de la fréquence d'émission f_0 par :

- l'utilisation d'un VCO à quartz ou
- le verrouillage du VCO sur un oscillateur à quartz dans une boucle à verrouillage de phase

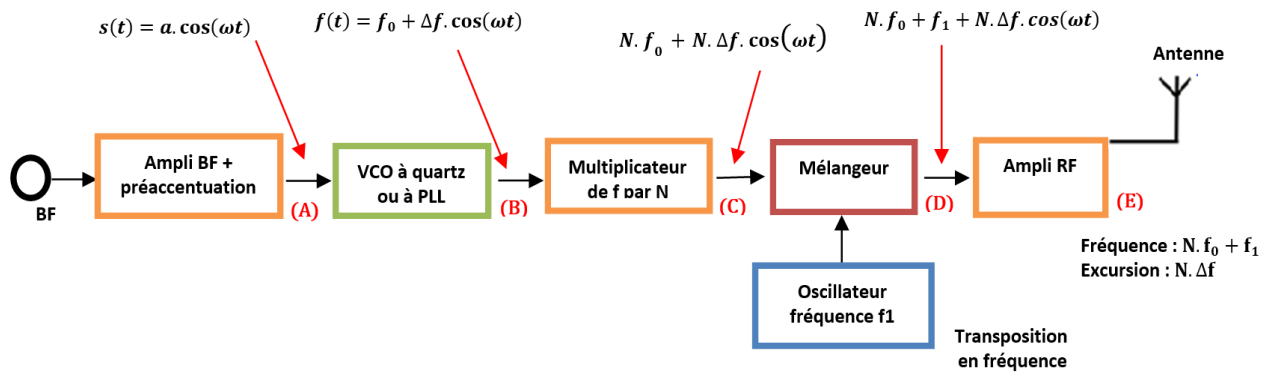


FIG. II.4 Structure générale d'un émetteur FM

- Le signal modulant est filtré pour limiter le spectre, et éventuellement préaccentué (A).
- Ce signal modulant est appliqué au VCO qui fournit à sa sortie (B) un signal de fréquence variable.
- Si l'excursion est insuffisante, un étage multiplicateur de fréquence multiplie la fréquence et donc l'excursion par N (C).
- Un étage de transposition déplace la porteuse modulée vers la fréquence d'émission souhaitée (D).
- Ce signal est enfin amplifié par l'ampli RF et envoyé sur l'antenne (E).

II.1.3. Modulateur FM à boucle à verrouillage de phase

Pour la stabilité de f_0 , on peut aussi utiliser un modulateur à Phase Lock Loop qui présente des avantages par rapport au VCXO :

- La structure permet un changement facile de la fréquence centrale f_0 (changement de canal d'émission)
- L'excursion en fréquence peut être aussi grande qu'on le souhaite (le multiplicateur de fréquence n'est plus nécessaire)

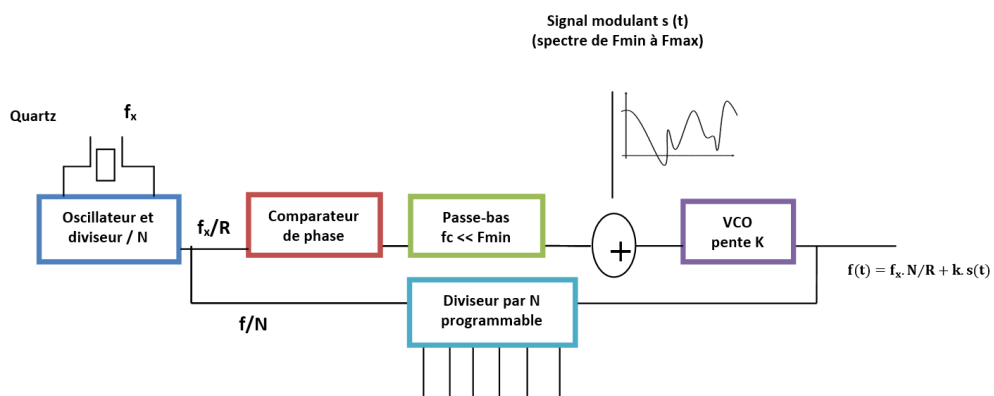


FIG. II.5 Modulateur à PLL

- En l'absence de signal modulant, le VCO se verrouille sur l'oscillateur à quartz et on a : $f(t)/N = f_x/R$
- En présence de signal modulant, la fréquence du VCO varie proportionnellement à $s(t)$
- Le filtre passe-bas de la boucle a une coupure très basse (par exemple 1Hz) qui empêche la PLL de réagir aux variations rapides de la fréquence de sortie $f(t)$ liées au signal modulant
- La PLL stabilise donc la fréquence centrale f_0 du VCO, son excursion par contre est libre à cause du filtre passe-bas
- Pour changer de canal d'émission (CB, GSM...) il suffit de modifier le rapport de division N

II.1.4. Démodulateur FM à PLL

Le signal FM peut aussi être démodulé par un démodulateur à *boucle à verrouillage de phase* :

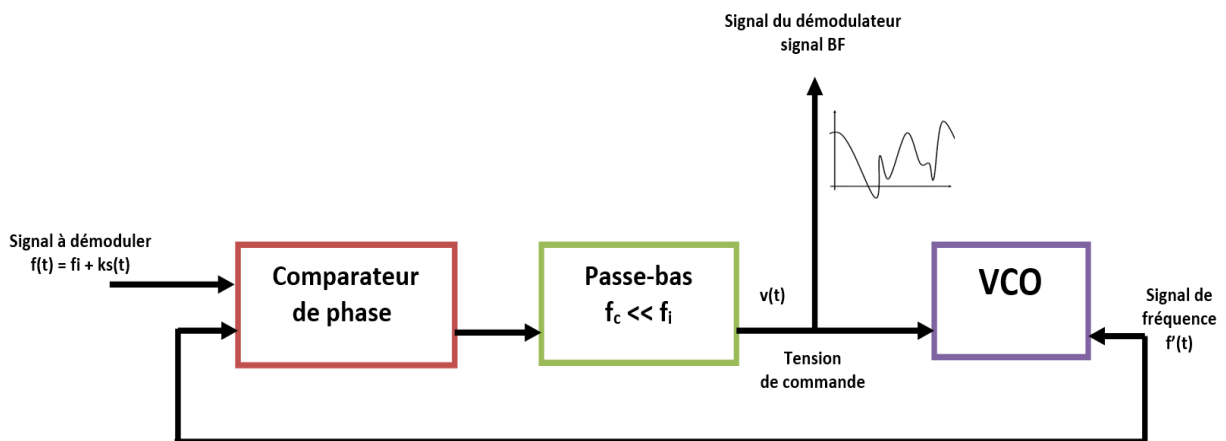


FIG. II.6 Démodulateur FM

- lorsque la boucle fonctionne, le VCO se synchronise sur le signal injecté à l'entrée
- le VCO fournit donc à sa sortie un signal de fréquence égale à celle du signal d'entrée
- $f'(t) = f(t) = f_i + k_s(t)$
- si la fréquence $f'(t)$ varie, c'est que la tension $v(t)$ à l'entrée du VCO varie
- en supposant que le VCO est linéaire et caractérisé par sa pente K_0 , on a : $f'(t) = K_0.v(t)$

On en déduit aisément l'expression du signal $v(t)$:

$$v(t) = f'(t)/k_0 = f_i/K_0 + K_s(t)/K_0 = V_0 + As(t)$$

La tension de commande du VCO comporte une composante continue V_0 qu'il est facile d'éliminer à l'aide d'un condensateur de liaison et d'une tension variable proportionnelle au signal modulant.

Remarque : le démodulateur à PLL est meilleur que le discriminateur à quadrature lorsque le signal à démoduler est très bruité. Il sera donc utilisé pour la réception des signaux faibles issus d'émetteurs lointains comme les satellites par exemple.

II.6. Modulations numériques

II.1.5. Rôle de la modulation

Pour transférer un signal numérique par les ondes on doit moduler ce signal. L'émetteur module le signal pour pouvoir le transporter. Le récepteur démodule le signal pour restituer le signal d'origine.

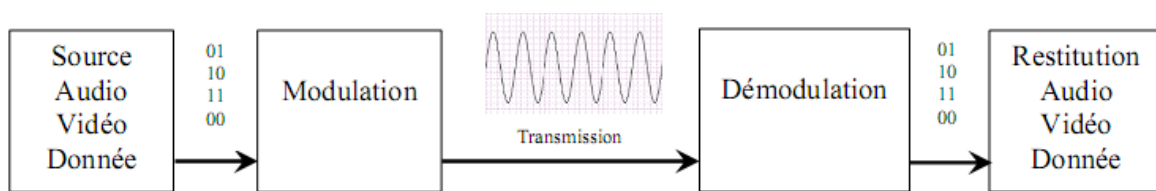


FIG. II.7 Exemple de transmission de signal numérique

Les trois types de modulation (amplitude, phase et fréquence) sont applicables lorsque le signal modulant est analogique ou numérique. On s'intéresse à la modulation numérique qui a des nombreux avantages techniques : optimisation de la bande passante, facilité de traitement de l'information, optimisation des coûts et facilement conçues à l'aide de logiciels, ...etc. [15]

Ce qui conduit à trois types de modulation numérique :

II.1.6. Modulation d'amplitude ASK

a) Définition de l'amplitude :

L'amplitude est la hauteur d'un signal elle se mesure entre la valeur minimum et la valeur maximum du signal.

b) Modulation d'amplitude :

La modulation d'amplitude ASK permet de coder des signaux numériques en signaux analogique avec une amplitude variable. Dans l'exemple suivant le signal analogique peut avoir deux amplitudes différentes. A chaque amplitude correspond un mot binaire.

La technique est des plus simples ; la porteuse est juste multipliée par le signal numérique de débit binaire D.

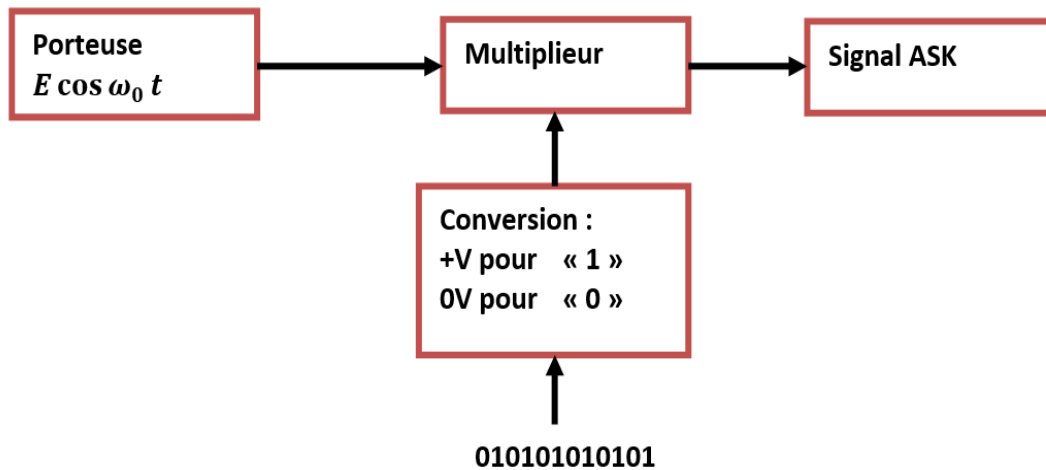


FIG. II.8 Technique pour obtenir la modulation ASK.

II.1.6.2. Modulation tout ou rien (OOK : On Off Keying)

C'est la méthode la plus simple, elle consiste à moduler directement la porteuse par le signal binaire en bande de base. Le spectre est obtenu par simple translation du spectre en bande de base autour de la porteuse, c'est une conséquence directe des propriétés de la modulation d'amplitude d'une porteuse. Cette méthode a été utilisée aux temps préhistoriques de la Microinformatique pour sauver des programmes sur bande avec un magnétophone ordinaire. C'est aussi la modulation la plus simple en optique ou infrarouge, l'oscillateur étant dans ce cas une diode électroluminescente (DEL) ou laser.

Une modulation multi niveaux peut aussi être envisagée, elle n'est pas utilisée seule mais en association avec une modulation de phase. [1]

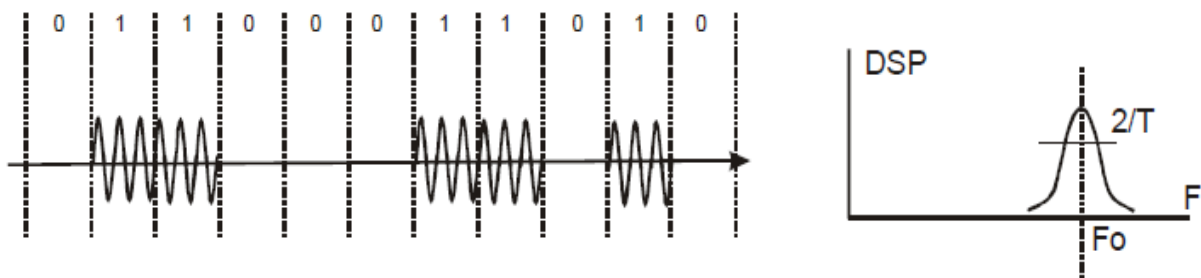


FIG. II.9 Modulation tout ou rien (OOK) et son spectre

II.1.6.3. Avantages et limitations

La modulation d'amplitude est la plus ancienne technique de modulation, mais néanmoins ayant fait ses preuves. Son plus gros avantage est la simplicité de réalisation de la modulation et de la démodulation. Pour s'en convaincre, il suffit de regarder les circuits de modulation et de démodulation décrits ci-dessus. Il en résulte qu'un système de modulation d'amplitude est relativement bon marché, ce qui explique la raison pour laquelle la diffusion de programmes radio AM est populaire depuis si longtemps.

Cependant, la modulation d'amplitude souffre de deux limitations majeures:

- La modulation d'amplitude implique un gaspillage de puissance. L'onde porteuse est totalement indépendante du message que l'on désire transmettre, c'est-à-dire le signal en bande de base $m(t)$. La transmission de la porteuse représente donc une perte de puissance. De plus, comme nous l'avons vu précédemment, la puissance de la porteuse représente plus de $2/3$ de la puissance totale du signal modulé.
- La modulation d'amplitude implique un gaspillage de bande passante. D'un point de vue fréquentiel, les bandes latérales supérieures et inférieures sont liées entre elles par une symétrie autour de la fréquence f_c . Connaissant une de ces deux bandes, on peut en déduire l'autre. Cela implique qu'il suffirait d'envoyer une de ces deux bandes pour obtenir toute l'information nécessaire à la reconstruction de $m(t)$. Cependant, la modulation AM utilise une bande de transmission égale à deux fois la bande passante du message, ce qui constitue un gaspillage de bande passante. [4]

II.1.7. La modulation de fréquence

II.1.7.1. La modulation par un signal numérique

La modulation FM peut aussi être utilisée pour transmettre un signal numérique $x_n(t)$:

- le signal numérique est constitué d'une succession aléatoire de « 0 » et de « 1 »
- pour avoir une valeur moyenne nulle, on affecte au « 0 » la valeur $-1V$ et au « 1 » la valeur $+1V$
- la durée d'un symbole est T et le débit binaire $D=1/T$
- le spectre du signal binaire $x_n(t)$ à un instant donné dépend du contenu du signal
- le spectre moyen n'est pas borné (F_{max} infinie) et a une forme en $\sin(X)/X$
- il passe par 0 à tous les multiples de la fréquence $1/T$

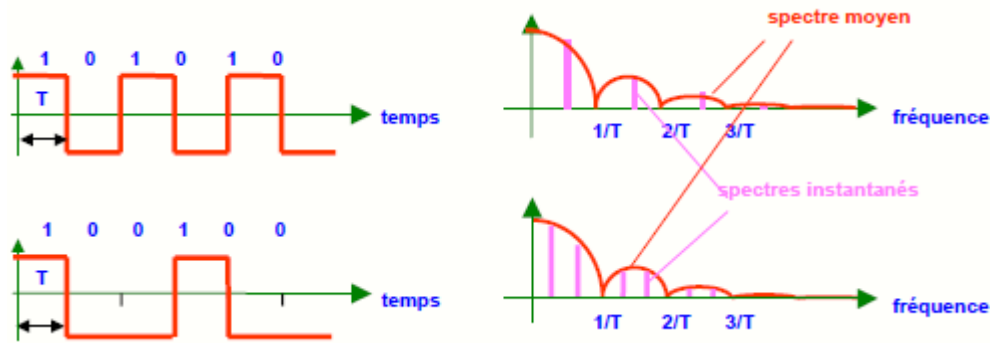


FIG. II.10 Spectre d'un signal binaire brut

Si on module en fréquence une porteuse par ce signal, la bande occupée sera infinie, ce qui est inacceptable.

Le signal binaire est donc toujours filtré, souvent même assez sévèrement, avant d'attaquer le modulateur.

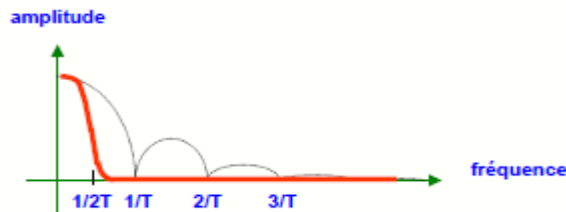


FIG. II.11 Spectre d'un signal binaire filtré

II.1.7.2. La modulation bi-fréquence ou FSK

a) Modulation de fréquence

La modulation de fréquence FSK permet de coder des signaux numériques en signaux analogique avec une fréquence variable.

b) Principe

La modulation FSK peut être vue comme un cas particulier de la modulation de fréquence : le signal modulant étant un signal binaire à 2 niveaux (par exemple NRZ), on associe à un niveau, une fréquence f_1 , et à l'autre, une fréquence f_2 . Il s'agit donc d'une modulation de fréquence à 2 fréquences discrètes. Mais, elle peut aussi se voir comme une double modulation d'amplitude ASK : le signal modulé peut alors être considéré comme la somme de deux signaux modulés en amplitude par le train binaire comme indiqué sur la figure ci après.

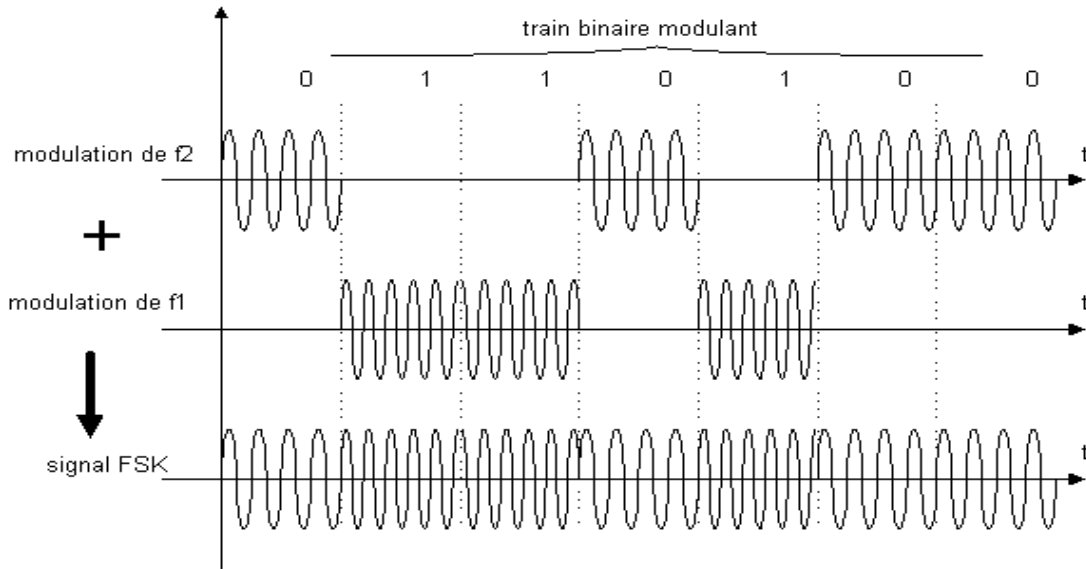


FIG. II.12 Modulation FSK

Un moyen simple pour réaliser cette modulation FSK est de disposer de 2 oscillateurs à f_1 et f_2 que l'on commute au rythme du signal modulant. On peut aussi utiliser un VCO (Voltage Controlled Oscillator) dont on déplace la fréquence en appliquant le signal modulant sur son entrée de commande. On préfère en général cette dernière solution (CPFSK pour Continuous Phase FSK) qui évite les discontinuités de phase aux instants de commutation (effet bénéfique sur le spectre). [1]

II.1.7.3. Modulation FSK par signal binaire non filtré

Si la porteuse est modulée par un signal numérique, elle saute d'une fréquence f_a («0») à une fréquence f_b («1»).

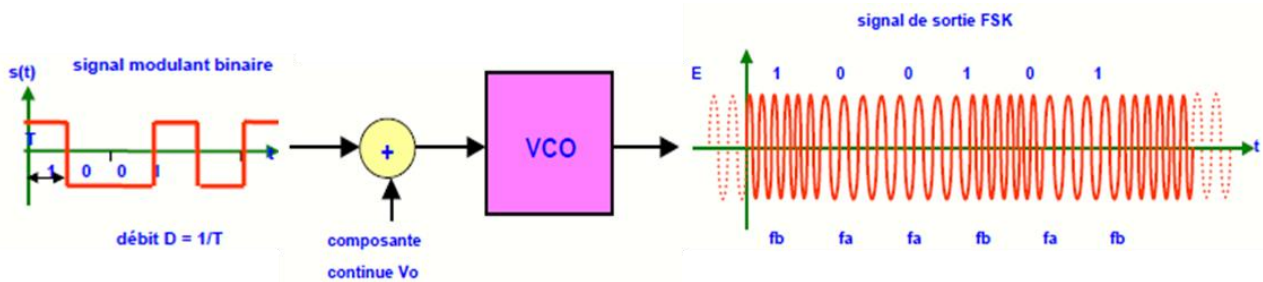


FIG. II.13 signal modulé FSK

On démontre que le spectre de ce signal modulé est en $\sin(x)/x$ autour des deux fréquences f_a et f_b :

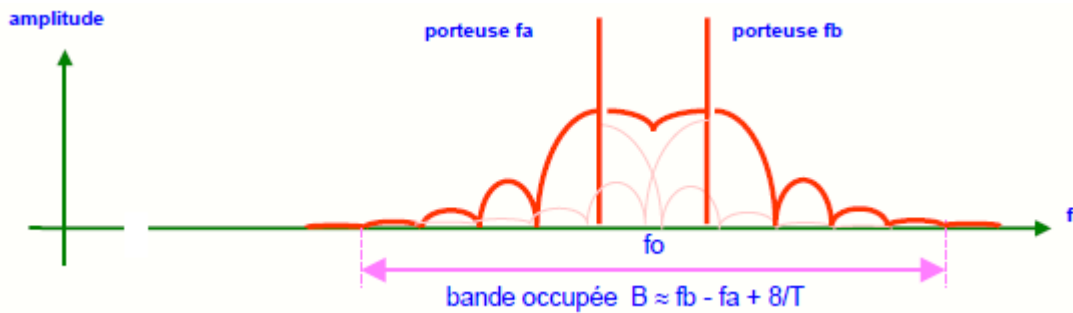


FIG. II.14 Spectre d'un signal modulé en $\sin(x)/x$

Exemple :

Une porteuse à $f_0=1$ MHz est modulée en FSK par un signal de débit $D = 10$ Kbits/s avec une excursion $\Delta f = \pm 4$ kHz

- la fréquence du signal émis varie entre $f_a = f_0 - \Delta f = 996$ kHz et $f_b = f_0 + \Delta f = 1004$ kHz
- le spectre de la porteuse modulée par la porteuse modulée va environ de $f_a - 4D = 956$ kHz à $f_b + 4D = 1044$ kHz
- l'encombrement spectral de cette émission FSK est donc de $B = 88$ kHz

II.1.7.4. Modulation FSK par signal binaire filtré

Pour limiter l'encombrement spectral d'un signal modulé FSK, on filtre toujours le signal binaire avant la modulation :

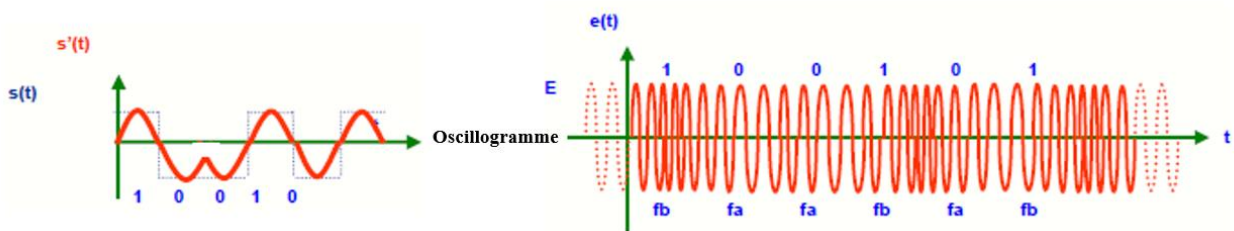


FIG. II.15 un signal modulé FSK

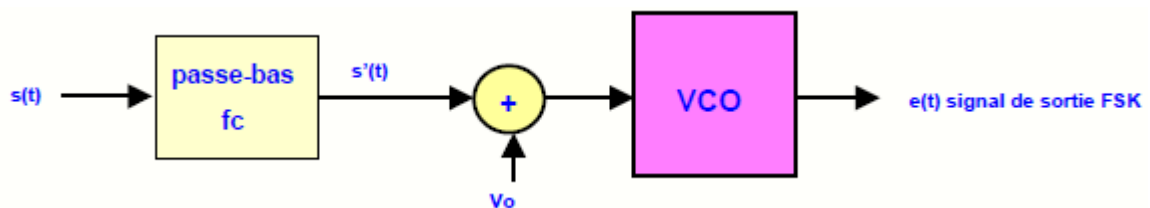


FIG. II.16 Schéma d'un signal modulé FSK par un signal binaire filtré

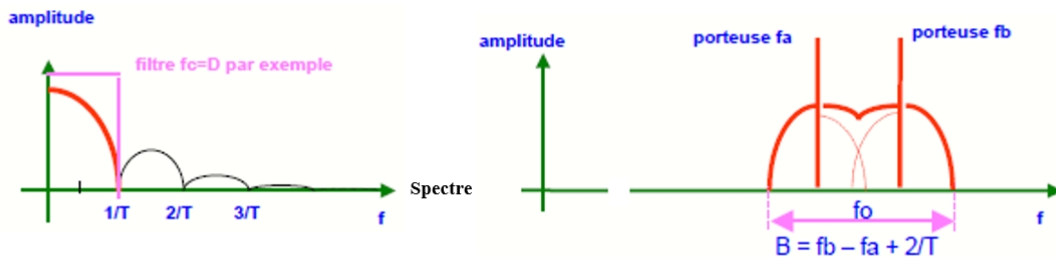


FIG. II.17 Spectre d'un signal modulé FSK par un signal binaire filtré

Exemple :

Porteuse à $f_0=1$ MHz modulée FSK par un signal $D = 10$ Kbits/s filtré à $f_c = 10$ kHz avec une excursion $\Delta f = +$ ou -4 kHz

- la fréquence du signal émis varie entre $f_a = f_0 - \Delta f = 996$ kHz et $f_b = f_0 + \Delta f = 1004$ kHz
- le spectre de la porteuse modulée par la porteuse modulée va environ de $f_a - D = 986$ kHz à $f_b + D = 1014$ kHz
- L'encombrement spectral de cette émission FSK est donc de $B = 28$ kHz

II.1.7.5. Modulation FSK à phase continue CPFSK

CPFSK est l'abréviation de Continuous Phase Frequency Shift Keying.

En général, les deux fréquences f_1 et f_2 sont issues d'un même oscillateur contrôlé en tension, comme celui de la figure II.18. Aux deux tensions d'entrée V_{INL} et V_{INH} correspondant aux niveaux bas et haut du signal d'entrée NRZ, coïncident les deux fréquences de sortie f_1 et f_2 .

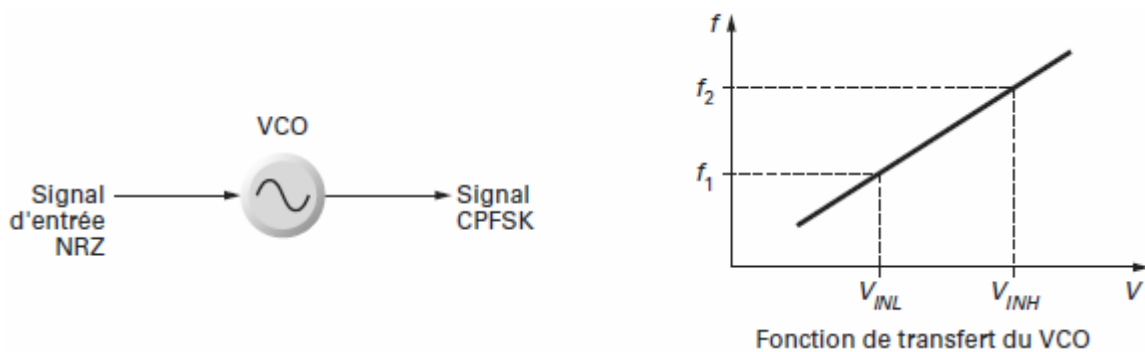


FIG. II.18 Modulation FSK à phase continue CPFSK

La DSP du signal CPFSK ne présente plus de raie discrète aux fréquences f_1 et f_2 .

L'enveloppe de la DSP présente des maximums espacés approximativement de

$$f_2 - f_1 = 2\Delta f$$

et d'autant plus accentués que Δf est grand par rapport à B_1 donc au débit binaire $1/T_b$.

On Pose :

$$x = \frac{f_2 - f_1}{D} = \frac{2\Delta f}{D}$$

Les courbes de la figure II.19 donnent l'allure de la DSP du signal modulé FSK pour diverses valeurs de x.

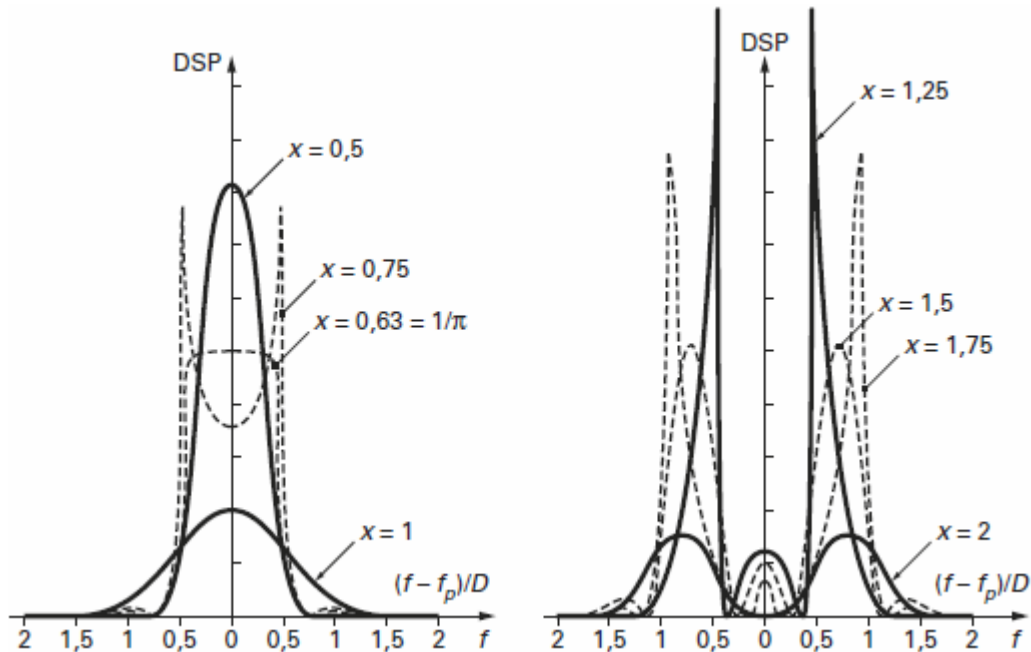


FIG. II.19 DSP des signaux FSK en fonction de x

En radiocommunication, on cherche à concentrer l'énergie autour de la porteuse et à minimiser l'encombrement spectral. On optimise alors h.

Pour occuper au mieux une bande de fréquence, on souhaite loger un nombre maximum de canaux. On s'intéresse alors aux lobes secondaires qui seront interprétés dans les récepteurs des canaux adjacents. [15]

II.1.7.6. Modulation MSK

La modulation MSK (Minimum Shift Keying) correspond au cas où $x = 0,5$ sur les courbes de la figure précédente

La modulation MSK est avant tout un cas particulier de la modulation CPFSK :

Nous avons donc toujours : $f_2 - f_1 = 0,5D$

La représentation temporelle du signal MSK est donnée à la figure suivante. Dans le cas débit D de 1200 bauds, les deux fréquences f_1 et f_2 valent respectivement 1800 Hz et 1200 Hz.

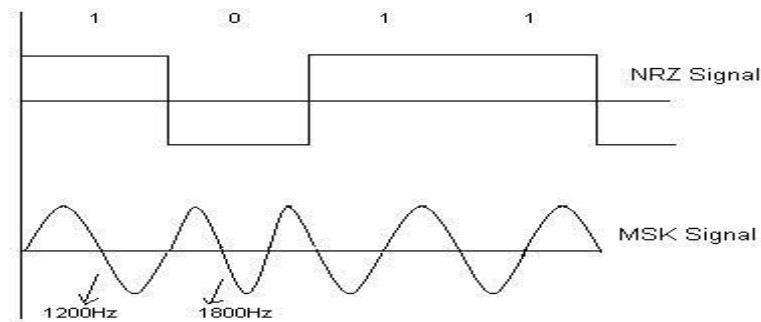


FIG. II.20 Modulation MSK

Pour chacun des éléments binaires transmis, la phase du signal FSK à l'instant de commutation est soit 0 soit π et la continuité de phase est assurée pendant la transition.

Ce procédé de modulation, MSK, est très souvent utilisé pour des modems à basse vitesse jusqu'à quelques centaines de Kbits/s. Malgré tout le procédé MSK est jugé insuffisant, en ce qui concerne la puissance des lobes secondaires, dans des cas critiques où le nombre et l'espacement des canaux sont les critères essentiels. [12]

II.1.7.7. Modulation GMSK

En raison de la forte variabilité de l'amplitude des signaux dans un environnement mobile, on préfère recourir à une technique de modulation angulaire pour ce type d'environnement. La technique de modulation utilisée pour porter le signal à haute fréquence est la modulation GMSK (Gaussian Minimum Shift Keying). Comme le suggère son nom, il s'agit d'une variante d'une modulation MSK appartenant à la famille des modulations de fréquence (FM) numériques. On utilise la GMSK car, en raison de la transition rapide entre 2 fréquences ($f_c - f$ et $f_c + f$), la modulation par MSK aurait nécessité une trop large bande de fréquences.

La modulation GMSK consiste en une modulation de fréquence à deux états portant non pas sur la séquence originale mais sur une nouvelle séquence dont le bit n est produit comme le résultat de la fonction du OU exclusif (XOR) entre le bit courant et le bit précédent. Après application du XOR, le signal est filtré. La figure II.21 montre la création d'un signal modulé par GMSK.

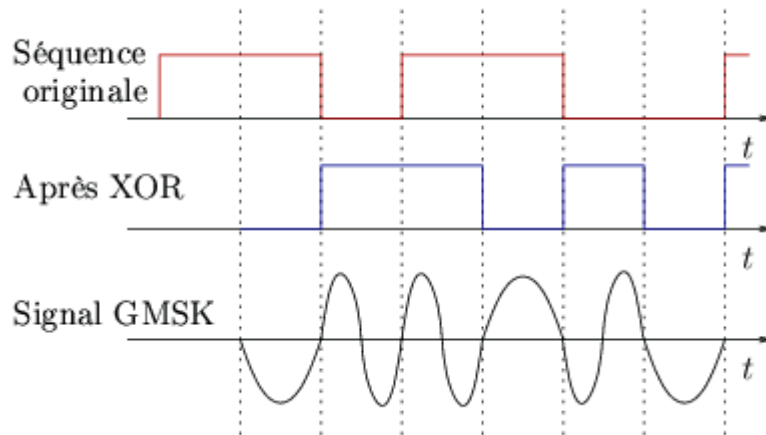


FIG. II.21 Création d'un signal modulé par GMSK au départ d'un train binaire.

Au bout du compte, il faut une largeur de 200 [kHz] par fréquence porteuse. Sachant que le débit atteint 270 [kb/s], on atteint un rapport du débit à largeur de bande, appelé efficacité spectrale, proche de 1. Cette valeur est typique pour des environnements mobiles, ce qui signifie que, pour doubler le débit, il n'y a d'autre solution que de doubler la largeur de bande. [8]

II.1.7.8. Applications

Plusieurs systèmes de radiotéléphones cellulaires comme le GSM à 950 MHz utilisent des procédés dérivés de la FSK.

- Le radiotéléphone GSM utilise le GMSK ;
- DCS 1800 en Europe, procédé de modulation GMSK avec $BT = 0,3$;
- DECT en Europe et en Chine, procédé de modulation GFSK avec $BT = 0,5$.

Ceci montre l'importance de ces procédés. [7]

II.1.8. La modulation de phase : PSK

a) Définition de la phase

La phase indique la situation instantanée dans le cycle, d'une grandeur qui varie cycliquement.

b) Modulation de phase

La modulation de phase PSK permet de coder des signaux numériques en signaux analogique avec une phase variable. Dans l'exemple suivant le signal analogique peut avoir 4 phases différentes. A chaque phase correspond un mot binaire.

Les modulations de phase sont, en numérique, les modulations les plus importantes.

Elles allient performances en termes de taux d'erreur et efficacité spectrale. Le choix d'une modulation de phase est inévitable, notamment lorsque le débit est important, et c'est bien sur le cas avec la radiodiffusion et surtout la télévision numérique.

Dans ce paragraphe sont regroupées les modulations de phase et certaines modulations simultanées d'amplitude et de phase s'y apparentant. [10]

II.1.8.2. La modulation de phase à 2 états BPSK (Binary Phase Shift Keying)

L'une des formes les plus simples de modulation numérique est le binaire, ou bi-phase shift keying (BPSK). La phase d'un signal de porteuse d'amplitude constante évolue de 0 à 180°.

Sur un diagramme I/Q, l'état I a deux valeurs différentes. Sur un diagramme d'état, les deux emplacements signifient qu'il est possible d'envoyer un 0 ou un 1 binaire.

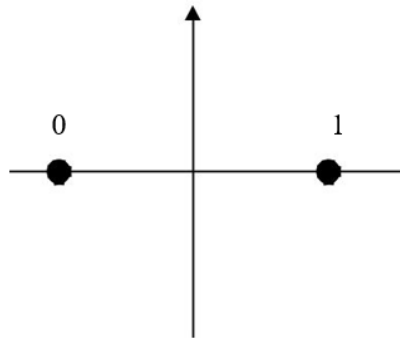


FIG. II.22 Diagramme polaire de la modulation BPSK

Ce type de modulation donne une porteuse présentant des sauts de phase de π à chaque changement de l'information binaire.

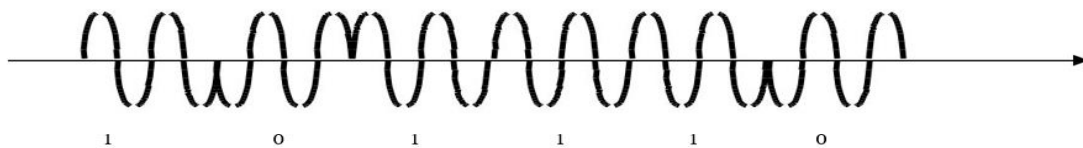


FIG. II.23 Allure temporelle d'un signal BPSK

Ce type de modulation, extrêmement robuste vis-à-vis des perturbations, est utilisé pour les communications spatiales lointaines.

II.1.8.3. La modulation QPSK (Quadruple Phase Shift Keying)

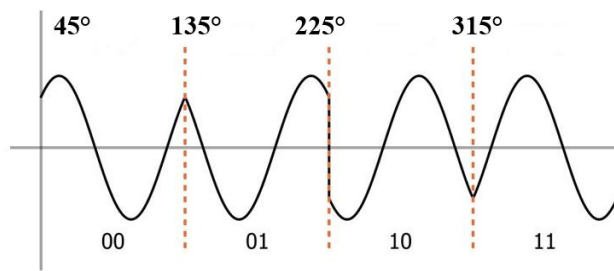


FIG. II.24 Modulation QPSK

Représentation du QPSK sur un cercle trigonométrique

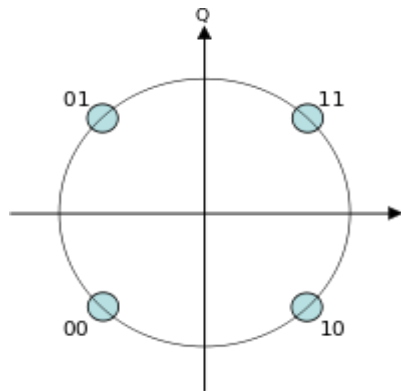


FIG. II.25 QPSK sur un cercle trigonométrique

La modulation QPSK est utilisée dans les transitions satellites DVB-S. Avec cette modulation on peut coder 2 bits car on a 4 phases différentes. 2 bits = 4 phases [10]

II.1.8.4. La modulation 8PSK

Les transmissions DVB-S2 permet la diffusion de vidéo en HD. La haute définition est plus gourmande en débit. C'est la modulation 8PSK qui est utilisée dans ce cas. Avec cette modulation on peut coder 3 bits car on a 8 phases différentes. 2 3bits = 8 phases.

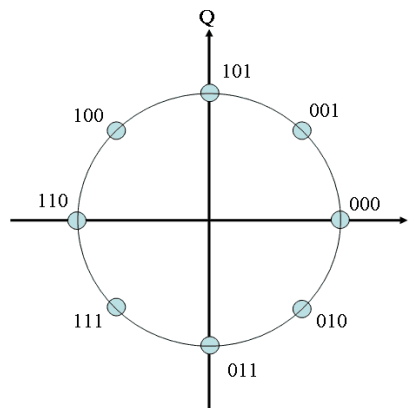


FIG. II.26 8PSK sur un cercle trigonométrique

II.1.8.5. Avantages et Inconvénients :

a) Avantages :

- Immunité en partie au bruit d'amplitude
- Optimisation de la bande passante
- Facilité de traitement de l'information compte tenu des moyens techniques disponibles (calculateurs, ordinateurs portables)

b) Inconvénients :

- Sensible au bruit de phase
- Sensible à la distorsion de phase
- Stabilité en fréquence des émetteurs récepteurs (mais n'est pas un problème avec les émetteurs modernes possédant des synthétiseurs de fréquence)
 - Les caractères sont transmis en direct. Il n'y a donc pas de possibilités réelles de corriger les erreurs de frappe. Un appui sur la touche de correction envoie à la station réceptrice un code d'erreur. Le correspondant voit donc l'erreur : la lettre erronée s'affiche d'abord, puis le curseur revient en arrière et la lettre correcte s'affiche.
- Linéarité de la chaîne d'émission IMD3 au moins 25 dB d'où nécessité de réduire la puissance crête de sortie [17]

II.7. Conclusion

La modulation et la démodulation sont deux étapes dans la communication d'une information entre deux utilisateurs. Par exemple, pour faire communiquer deux utilisateurs de courriels par une ligne téléphonique, des logiciels, un ordinateur, des protocoles, un modulateur et un démodulateur sont nécessaires. La ligne téléphonique est le canal de transmission, sa bande passante est réduite, il est affecté d'atténuation et de distorsions. La modulation convertit les informations binaires issues des protocoles et des logiciels, en tension et courant dans la ligne. Le type de modulation employé doit être adapté d'une part au signal (dans ce cas numérique), aux performances demandées (taux d'erreur), et aux caractéristiques de la ligne. La modulation permet donc de translater le spectre du message dans un domaine de fréquences qui est plus adapté au moyen de propagation et d'assurer après démodulation la qualité requise par les autres couches du système.

Chapitre III

Etude et réalisation

III.1. Introduction

Un simulateur électronique est un logiciel modélisant le fonctionnement de circuits électroniques afin de pouvoir prévoir et analyser leurs comportements. Il existe différents niveaux de simulation, selon le degré de finesse et l'échelle de la simulation.

Dans ce projet on utilise logiciel de simulation Proteus ISIS qui permet de choisir des composants dans sa bibliothèque.

Le logiciel Proteus est composé de trois modules :

- L'éditeur de schéma ISIS
- Le simulateur LISA
- L'outil de conception de circuit imprimé ARES.

III.2. Logiciels

III.2.1. Logiciel ISIS

Le logiciel ISIS de Proteus est principalement connu pour éditer des schémas électriques. Par ailleurs, le logiciel permet également de simuler ces schémas ce qui permet de déceler certaines erreurs dès l'étape de conception. Indirectement, les circuits électriques conçus grâce à ce logiciel peuvent être utilisés dans des documentations car le logiciel permet de contrôler la majorité de l'aspect graphique des circuits.

III.2.2. Logiciel ARES

Le logiciel ARES est un outil d'édition et de routage qui complèterait parfaitement ISIS. Un schéma électrique réalisé sur ISIS peut alors être importé facilement sur ARES pour réaliser le PCB de la carte électronique. Bien que l'édition d'un circuit imprimé soit plus efficace lorsqu'elle est réalisée manuellement, ce logiciel permet de placer automatiquement les composants et de réaliser le routage automatiquement.

Dans ce chapitre, on va décrire tous les éléments nécessaires pour réaliser un modulateur numérique FSK à base de VCO.

III.3. Eléments d'un modulateur numérique FSK

III.3.1. III.3.1 Convertisseur analogique numérique (CAN)

Définition :

Un convertisseur analogique - numérique transforme une grandeur physique (tension, courant en une valeur numérique généralement, il possède:

- Une entrée " début de conversion " qui permet de démarrer la conversion (Start)
- Une sortie " fin de conversion " qui indique que la conversion est terminée (End)
- Une entrée analogique (courant ou tension)
- Plusieurs sorties numériques, dont le nombre est fonction de la résolution

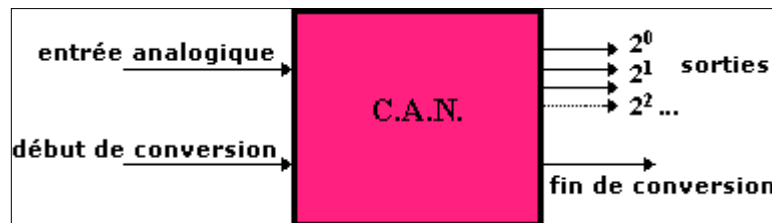


FIG. III.1 principe de fonctionnement de C.A.N

Pour effectuer une acquisition on réalise un échantillonnage du signal analogique d'entrée V_e . A intervalle régulier on mesure la valeur de cette tension, cet intervalle est appelé période d'échantillonnage. Ce sont ces valeurs analogiques qu'il nous faut maintenant convertir en grandeurs numériques.

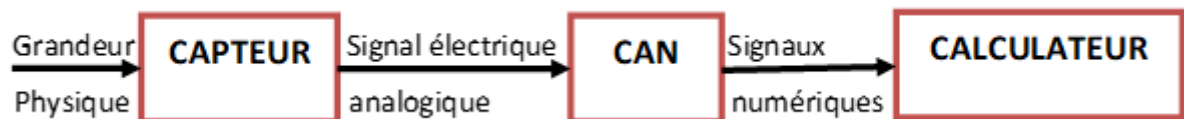


FIG. III.2 Organisation d'une chaîne d'acquisition.

Le capteur que nous utiliserons sera un potentiomètre variable monté en diviseur de tension comme le montre la figure. suivante :

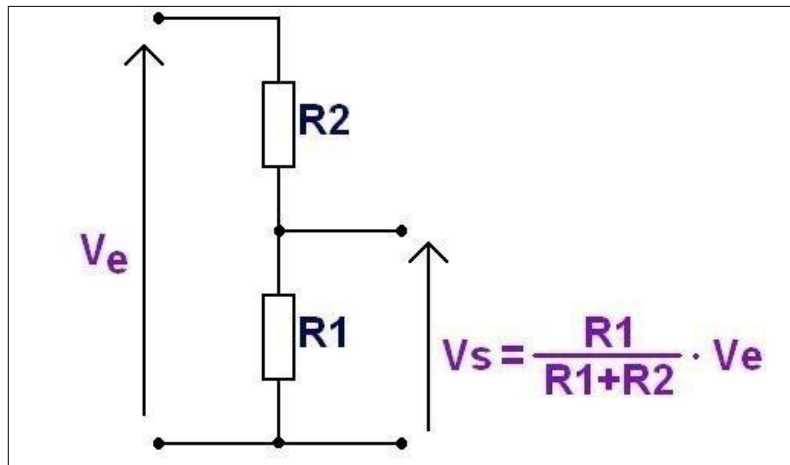


FIG. III.3 Principe du diviseur de tension

La conversion analogique / numérique est réalisée grâce au circuit ADC 0804. Sur son entrée, on envoie un signal analogique et on retrouve le nombre binaire correspondant sur sa sortie. Ce circuit est réalisé en technologie CMOS et est assez complexe. Il peut être utilisé dans un système à microprocesseur. Le microprocesseur indique le début d'une conversion analogique / numérique et le convertisseur indique la fin de la conversion.

Avant de passer à son utilisation pratique, nous allons voir brièvement le fonctionnement de ce convertisseur A / N, dont le schéma synoptique est donné par la figure. suivante :

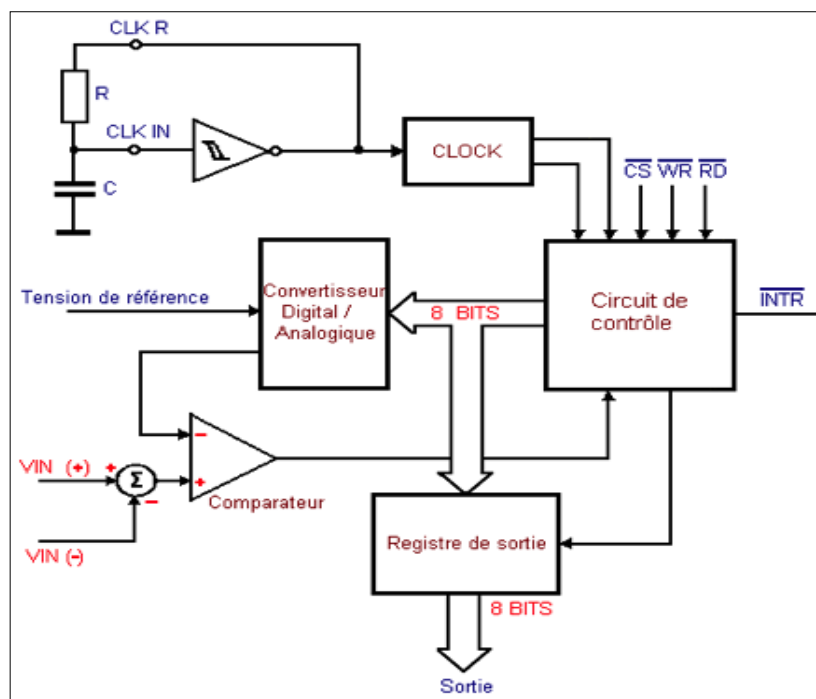


FIG. III.4 Schéma synoptique du convertisseur A / N ADC 0804.

Son fonctionnement est basé sur le principe de la conversion à approximations successives.

- **Le principe de la conversion :**

Au début de la conversion, le circuit de contrôle génère un nombre binaire qui correspond à la valeur du milieu de l'échelle analogique (**1000 0000** pour un convertisseur à **8 bits**).

Un circuit **D / A** convertit ce nombre en un signal analogique.

Le comparateur compare ce signal au signal d'entrée à convertir.

Ce comparateur fournit au circuit de contrôle le résultat de la comparaison.

A ce moment-là, le **MSB** est déterminé ; il est égal à **1** si le signal d'entrée est supérieur au signal généré par le circuit de contrôle, il est à **0** dans le cas contraire.

A ce moment-là, le circuit de contrôle génère un nouveau nombre binaire (**0100 0000** ou **1100 0000**) qui permettra de déterminer la valeur du septième bit (celui situé à droite du **MSB**).

Une nouvelle phase de comparaison a lieu et le septième bit est déterminé (**0** ou **1**).

Le processus se poursuit : le sixième bit est déterminé et ainsi de suite jusqu'au **LSB**.

Cette méthode permet donc de faire une approximation du nombre binaire théorique qui correspond à la tension analogique d'entrée. Dans le cas présent, il y a huit approximations successives. La résolution est égale à **1 / 256^{ème}** de la tension d'entrée (avec un convertisseur à **8 bits**).

Le nombre binaire est lu dans le registre de sortie.

Le convertisseur possède plusieurs broches de commande qui permettent de gérer son fonctionnement.

Le début de conversion s'effectue en appliquant un niveau **L** sur la borne de commande.

La borne permet de valider le registre de sortie ; au niveau **H**, la sortie est à l'état **haute impédance** ; au niveau **L**, le contenu du registre de sortie est présent sur la sortie.

La sortie signale la fin de la conversion. Pour cela, elle passe au niveau **L**.

L'entrée (Chip Select) permet de sélectionner le convertisseur. Lorsqu'elle est au niveau **L**, le convertisseur peut fonctionner.

Les différentes étapes (approximations) s'effectuent au rythme d'un signal d'horloge. On peut utiliser un signal d'horloge externe appliqué sur l'entrée **CLK IN** ou réaliser un montage avec une résistance et un condensateur externes reliés à un trigger de Schmitt incorporé dans le boîtier.

Le signal analogique est appliqué à l'entrée **VIN (+)**. L'autre entrée **VIN (-)** peut être soit reliée à la masse, soit être portée à une tension permettant le tarage du convertisseur en début d'échelle, soit permettre de soustraire une tension continue du signal d'entrée.

• Le brochage de circuit intégré

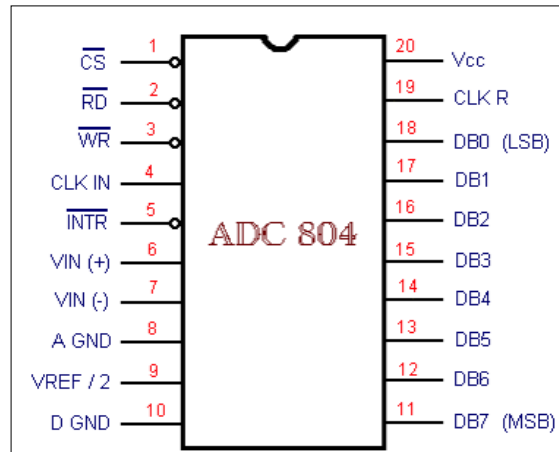


FIG. III.5 Brochages du convertisseur ADC

Il y a deux broches pour la masse : **A GND** et **D GND**.

A GND est la masse analogique et **D GND** la masse digitale.

Il y a deux masses différentes car le fonctionnement des circuits numériques peut perturber celui des circuits analogiques, aussi on préfère avoir des masses distinctes pour chacune de ces deux parties du circuit intégré.

III.4. Réalisation du circuit

Insérez sur la matrice le circuit intégré **ADC 0804**, le potentiométrique de **10 kΩ**, trois résistances de **10 kΩ**, deux condensateurs de **0,1 μF**, un condensateur de **150 pF** et un condensateur électrolytique au totale de **10 μF**.

Pour ce qui est de la simulation on réalise sous Proteus le câblage de circuit suivant :

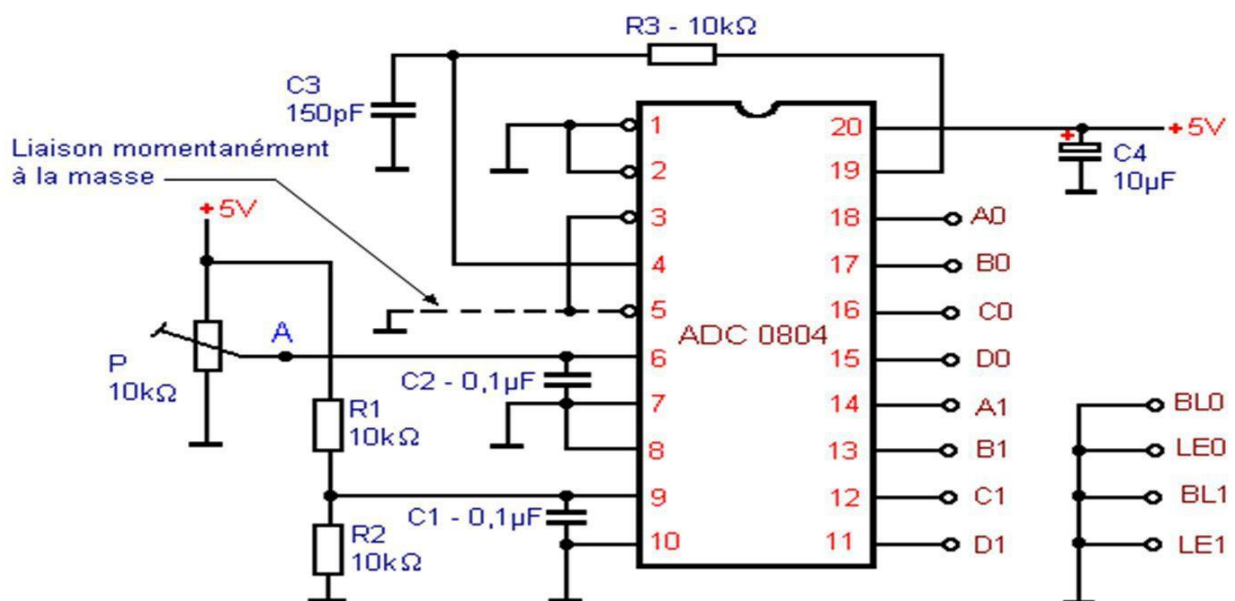


FIG. III.6 Schéma électrique du convertisseur A/D approximation successive 8 bits

On met le circuit sous tension ou bien on lance la simulation en cliquant sur “*play*”, après on met le potentiomètre P au niveau 0 V.

On observe que les afficheurs 1 et 2 affichent la valeur 0 et 0 en ordre, donc, en sortie du convertisseur, on a un nombre binaire voisin de 0000 0000.

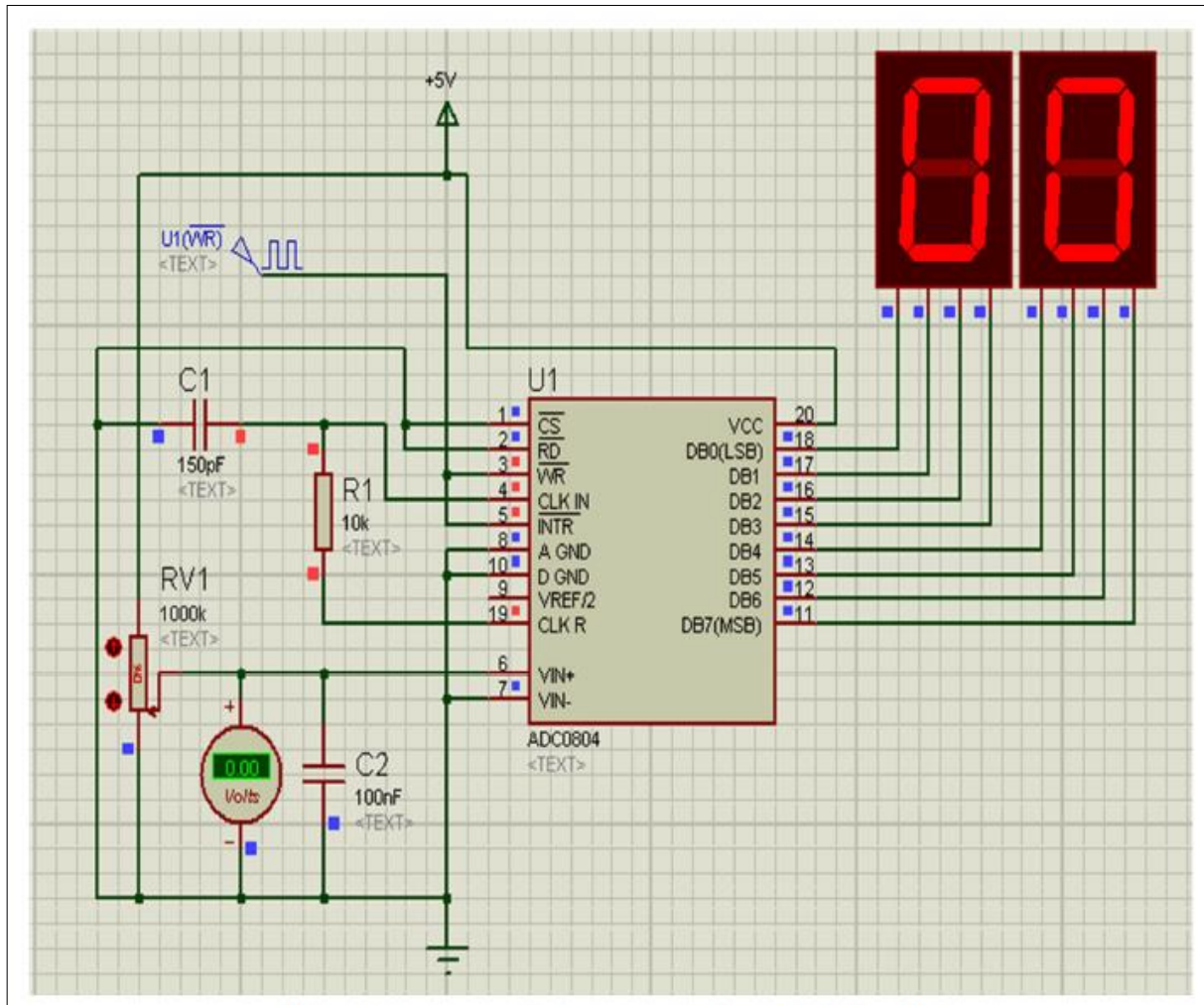


FIG. III.7 convertisseur A/N sous ISIS avec le potentiomètre P au niveau 0V

Cette fois on fait la même chose mais on met la valeur à 5v et on observe la valeur FF sur les afficheurs qui signifie la valeur binaire 11111111 donc le convertisseur A/N fonctionne correctement.

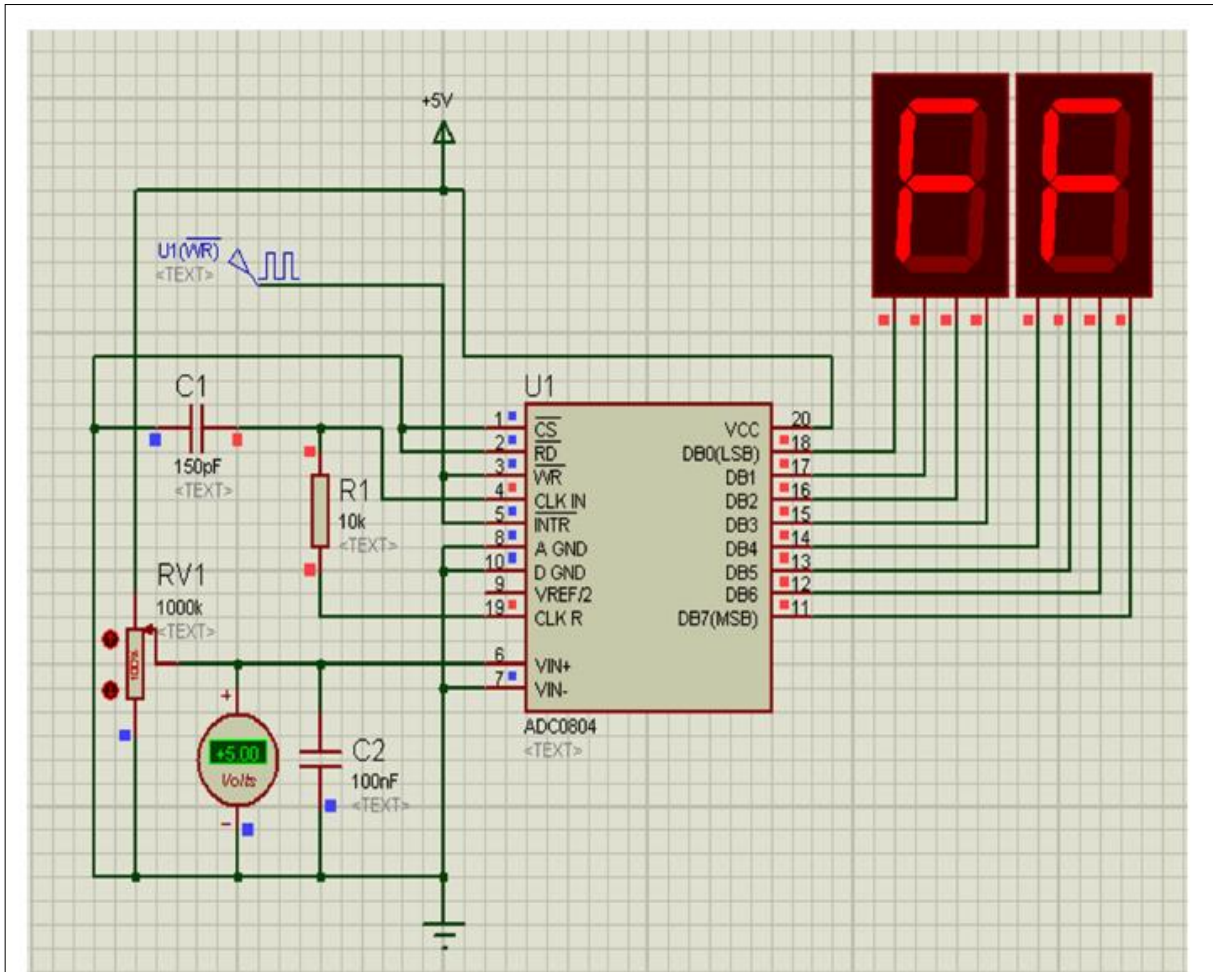


FIG. III.8 convertisseur A/N sou ISIS avec le potentiomètre P au niveau 5V

On agit sur le curseur du potentiomètre **P**, de façon à diminuer la tension à l'entrée du Convertisseur. Pour chaque nouveau nombre binaire, on note la tension correspondante. On peut ainsi tracer la caractéristique de transfert du convertisseur (ou une partie seulement).

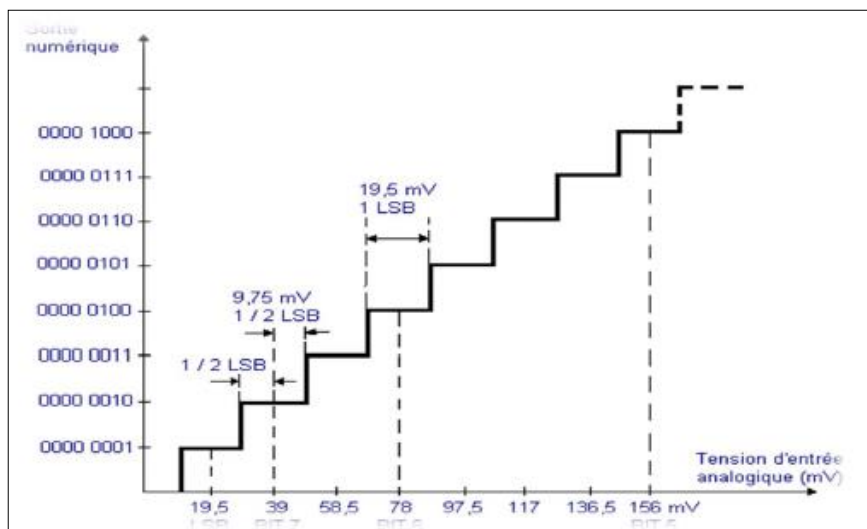


FIG. III.9 partie initiale de la caractéristique de transfert de l'ADC 0804

Il y a 256 combinaisons à la sortie du convertisseur, donc la caractéristique de transfert est « un escalier de 256 marches».

Vous pouvez noter les tensions correspondantes aux bits de poids les plus faibles (LSB, Bits 7, 6 et 5).

Avec la caractéristique complète, il est possible de déterminer tout nombre binaire correspondant à une tension donnée.

Par exemple, pour une tension d'entrée de 156 mV, la sortie indique le nombre binaire 0000 1000 ou bien 08 en hexadécimal. Pour 78 mV, le nombre binaire correspondant est 0000 0100 ou bien 04h.

III.4.1. La sérialisation

La sortie du convertisseur A/N donne 8 bits parallèles. Pour transformer ce code à l'état série il faut utiliser un circuit de sérialisation pour obtenir un code de 8bits série.

Un registre à décalage est un circuit séquentiel constitué d'un ensemble de N bascules, commandées par le même signal d'horloge, afin de stocker et de déplacer les données à N bits qu'il reçoit à ses entrées. La capacité d'un registre à stocker les données rend ce composant comme un élément de mémorisation important. La propriété de décalage d'un registre permet le déplacement des données de l'entrée vers la sortie du registre de différentes manières.

III.4.1.1. Registre à décalage

La figure. ci-dessous illustre les différents déplacements des données dans un registre à décalage

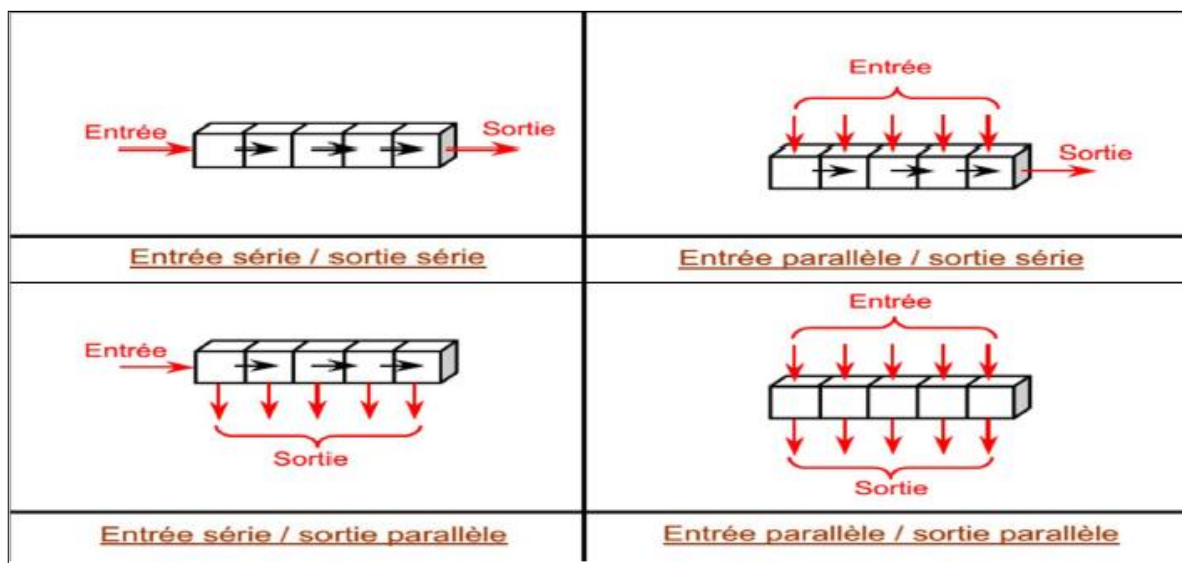


FIG. III.10 Déplacement des données dans un registre à décalage.

On utilise dans notre cas le registre à décalage 74165. C'est un registre très connu et disponible. Son brochage est représenté sur la figure. ci-dessous :

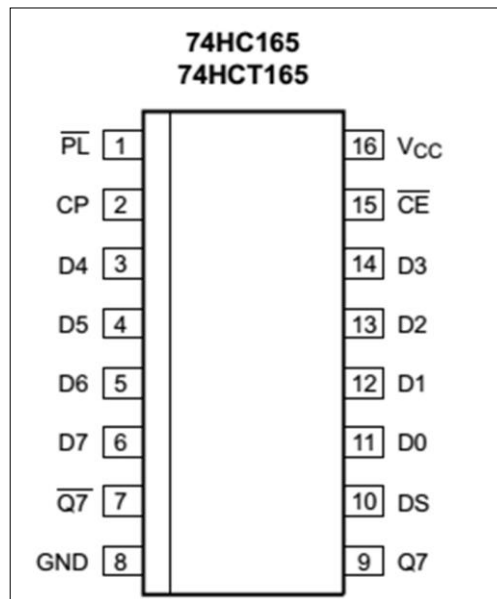


FIG. III.11 Brochage du 74165

Les différentes broches de ce circuit sont décrites dans le tableau suivant :

Symbole	Branche	Description
$\overline{\text{PL}}$	1	entrée de charge parallèle asynchrone
CP	2	entrée d'horloge
$\overline{\text{Q7}}$	7	sortie complémentaire de la dernière étape
GND	8	la terre
Q7	9	sortie en série à partir de la dernière étape
DS	10	entrée de données sérielles
D0 vers D7	11.12.13.14.3.4.5.6	des entrées de données parallèles
$\overline{\text{CE}}$	15	validation d'horloge d'entrée
Vcc	16	tension d'alimentation positive

Tableau III.1: Fonction des broches du 74165

Pour ce qui est de la simulation de ce circuit de sérialisation, on procède comme suit : On lie les entrées de convertisseur avec les entrées de circuit de sérialisation 74165 et le résultat est un code 8bits série.

comme le montre la FIG. suivante :

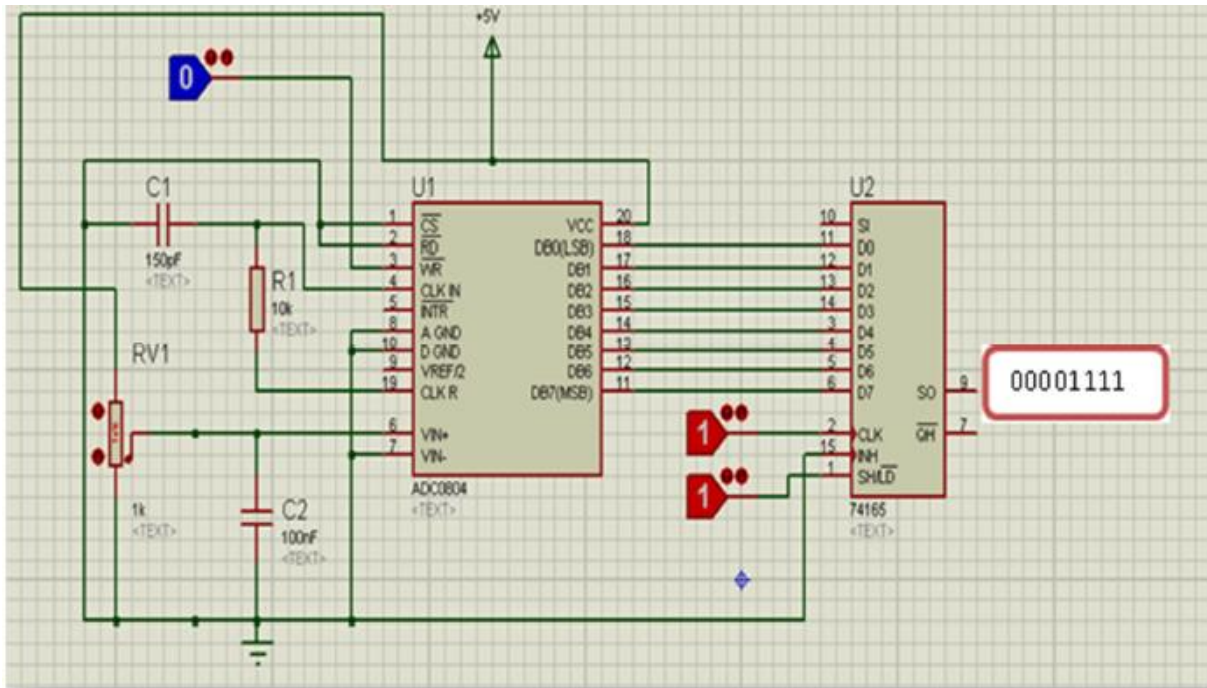


FIG. III.12 Schéma sous ISIS représente la liaison de 74165 avec ADC0804

III.4.2. Circuit de boucle à verrouillage de phase

Le HEF4046B est un circuit de boucle à phase asservie, intègre un VCO (oscillateur commandé en tension) et 2 comparateurs de phases. On a un suiveur qui recopie la tension de commande du VCO et une zéner qui permet de faire une référence de tension dont les dérives suivront celles du circuit.

Le comparateur de phase est réalisé avec une porte OU exclusif, suivi de l'intégrateur RC, la tension V variera de 0 à V_{DD} pour un déphasage de 0 à 180° ($V_{DD}/2$ à 90°) et inversement bien sur au dessus de 90° .

Le rapport cyclique du signal d'entrée doit être de 50%.

Sans signal d'entrée $V=V_{DD}/2$. Le comparateur de phase II est un réseau digital à mémoire commandé par front montant (quelque soit le rapport cyclique).

Sa sortie est à 3 états pour diminuer la puissance dissipée. Si $F_0 > F_{comp}$, la sortie vaut 1. Dans l'autre cas elle vaudra 0. Si $F_0 = F_{comp}$, sa sortie vaut 1 ou 0, selon les différences de phases, soit respectivement l'entrée en avance ou en retard.

La sortie "pulse" indique que la sortie est en haute impédance lorsque l'on a égalité fréquence et phase. Ses caractéristiques à $V_{DD}=10V$ sont une impédance de plus de $400K\Omega$, une sensibilité de $400mV$ alternatif, un courant de sortie de $1,8mA$ ($V_s=0$) et $2,6mA$ ($V_s=1$) sauf sur le circuit "pulse" ($0,5$ et $1,4mA$).

Le circuit intégrateur RC permet d'obtenir une tension qui commandera le VCO. La bande de fréquence de capture dépendra du VCO, mais aussi du réseau intégrateur en utilisant le comparateur de phase I.

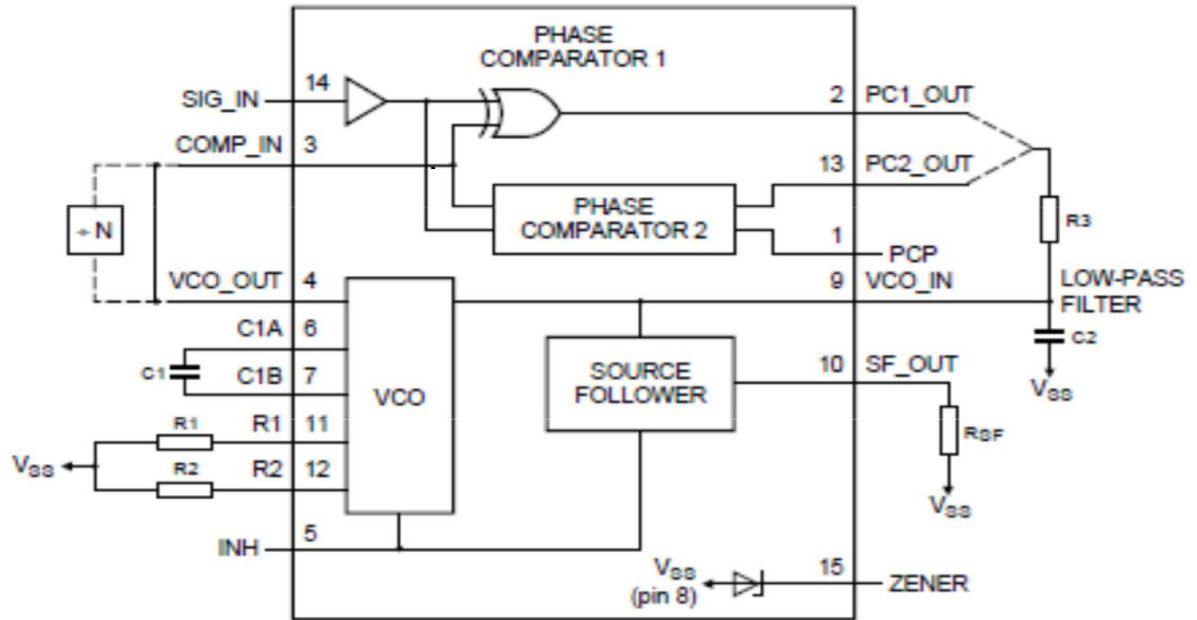


FIG. III.13 Schéma fonctionnel Typique

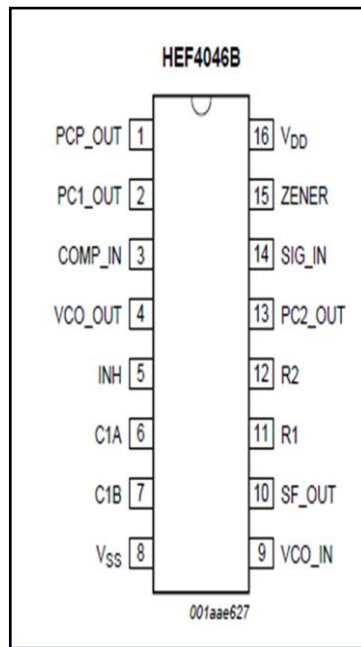


FIG. III.14 Brochage HEF4046B

Les différentes broches de cette PLL sont décrites sur le tableau suivant :

symbole	Broche	Description
PCP_OUT	1	impulsion de comparateur de phase_sortie
PC1_OUT	2	comparateur de phase 1_ c
COMP_IN	3	Comparateur_entrée
VCO_OUT	4	L'oscillateur contrôlé en tension_
INH	5	Inhiber
C1A	6	Capacité 1_conection A
C1B	7	Capacité 1_conection B
VSS	8	tension d'alimentation au sol
VCO_IN	9	L'oscillateur contrôlé en tension_ entrée
SF_OUT	10	source suiveuse_ sortie
R1	11	résistance R1
R2	12	résistance R2
PC2_OUT	13	comparateur de phase 2_ sortie
SIG_IN	14	Signal_ entrée
ZENER	15	Diode Zener_ entrée (pour alimentation régulée)
VDD	16	la tension d'alimentation

Tableau III.2: Description des broches du HEF4046B

Pour ce qui est de la simulation de notre VCO, on procède de la manière suivante. On veut régler le VCO de façon à avoir : $f_{max}=140$ kHz et $f_{min}=70$ kHz sous $VDD=+5V$. En vous aidant des abaques fournis dans le datasheet du 4046B, déterminer $C1$, puis $R1$ sachant que

$R2=300$ k Ω . Alimenter le montage sous $VDD=+5V$ et on applique une tension à l'entrée du VCO; variant entre 0 et VDD . En déduire f_0 .

$$F_0 = \frac{f_{max} + f_{min}}{2} = 105 \text{ KHz}$$

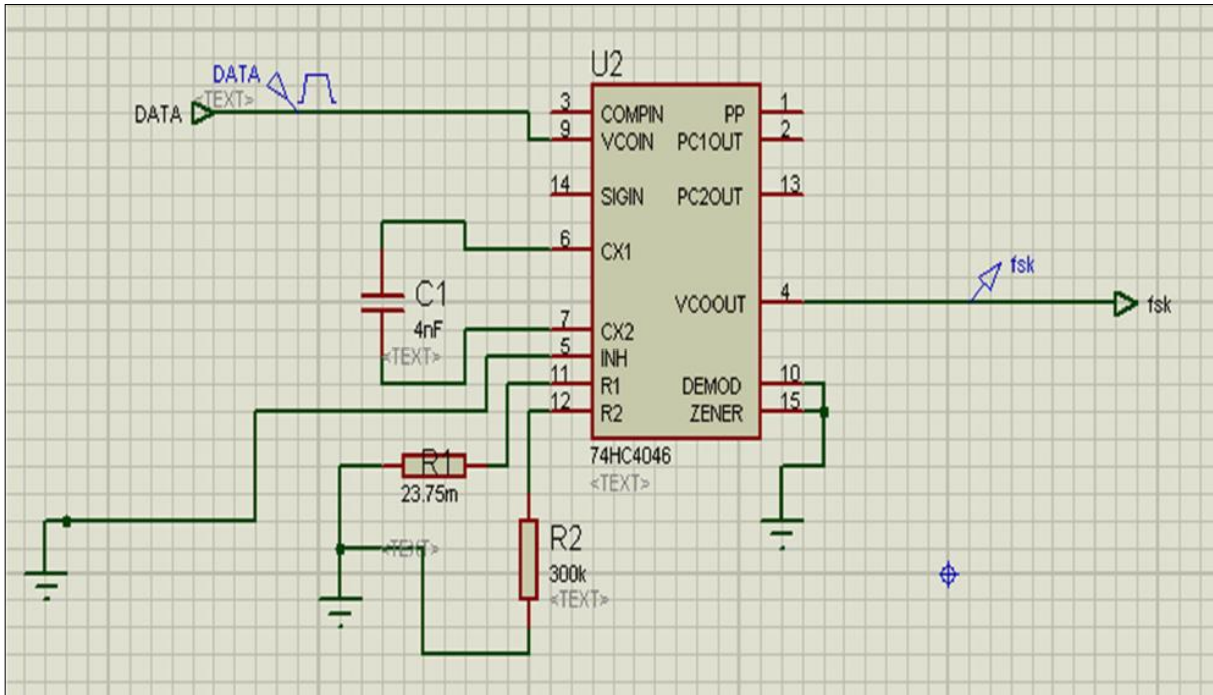


FIG. III.15 Manipulation d'un modulateur FSK sous ISIS à base d'un VCO

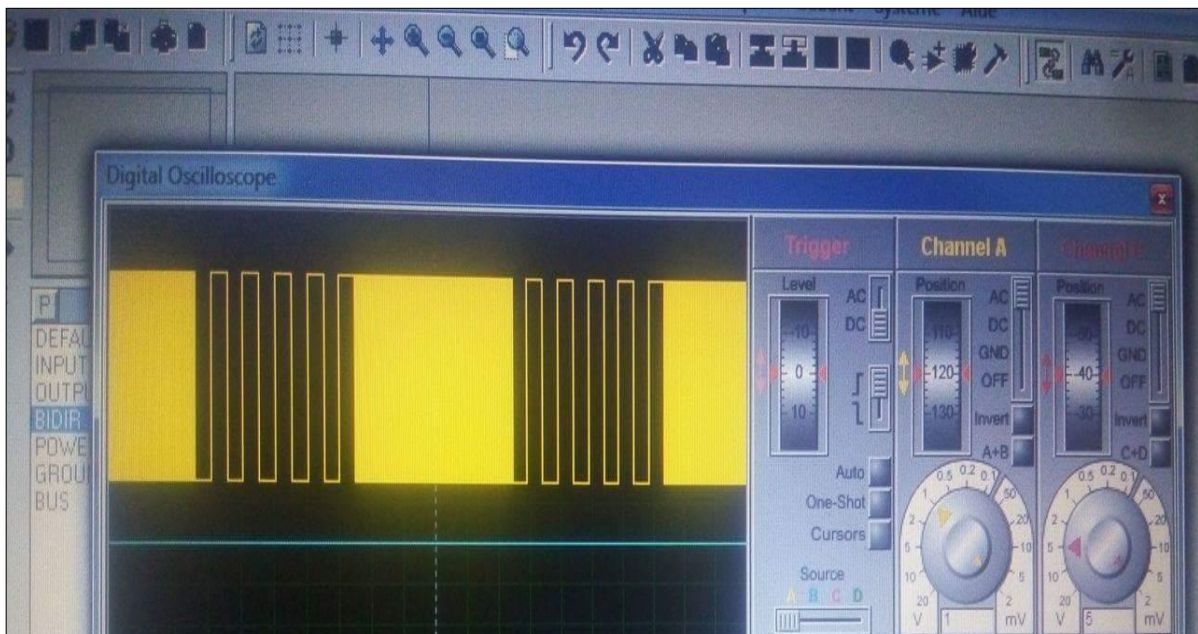


FIG. III.16 Modulation FSK

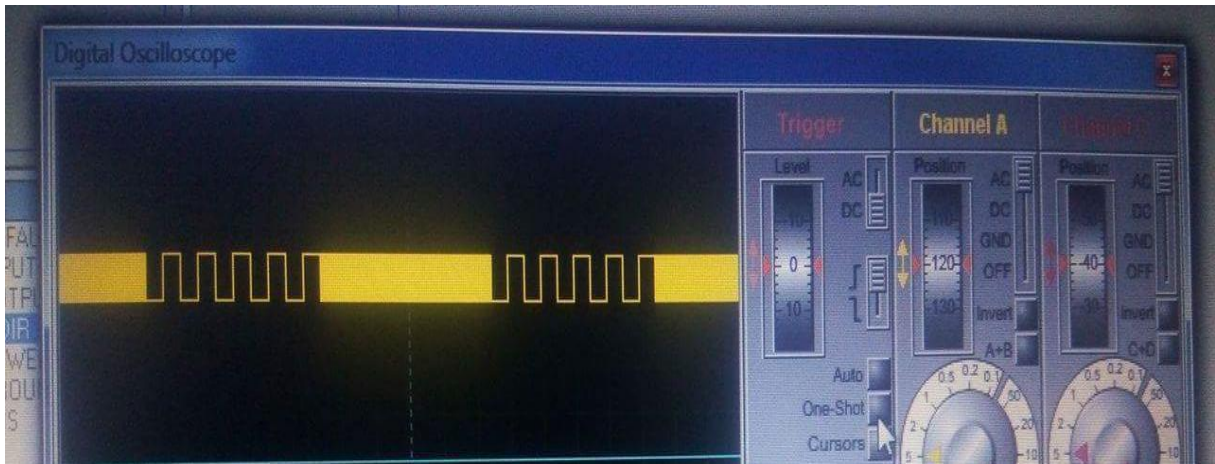


FIG. III.17 Graphe représentant la modulation FSK

Le signal résultant dans la sortie de la PLL4046 est un signal carré à 2 niveaux de fréquences f_1 représente le niveau bas (code binaire 0) et f_2 représente le niveau haut (code binaire 1).

III.4.3. Circuit global de la modulation FSK

Le circuit global du modulateur réalisé FSK est décrit par la figure. suivante :

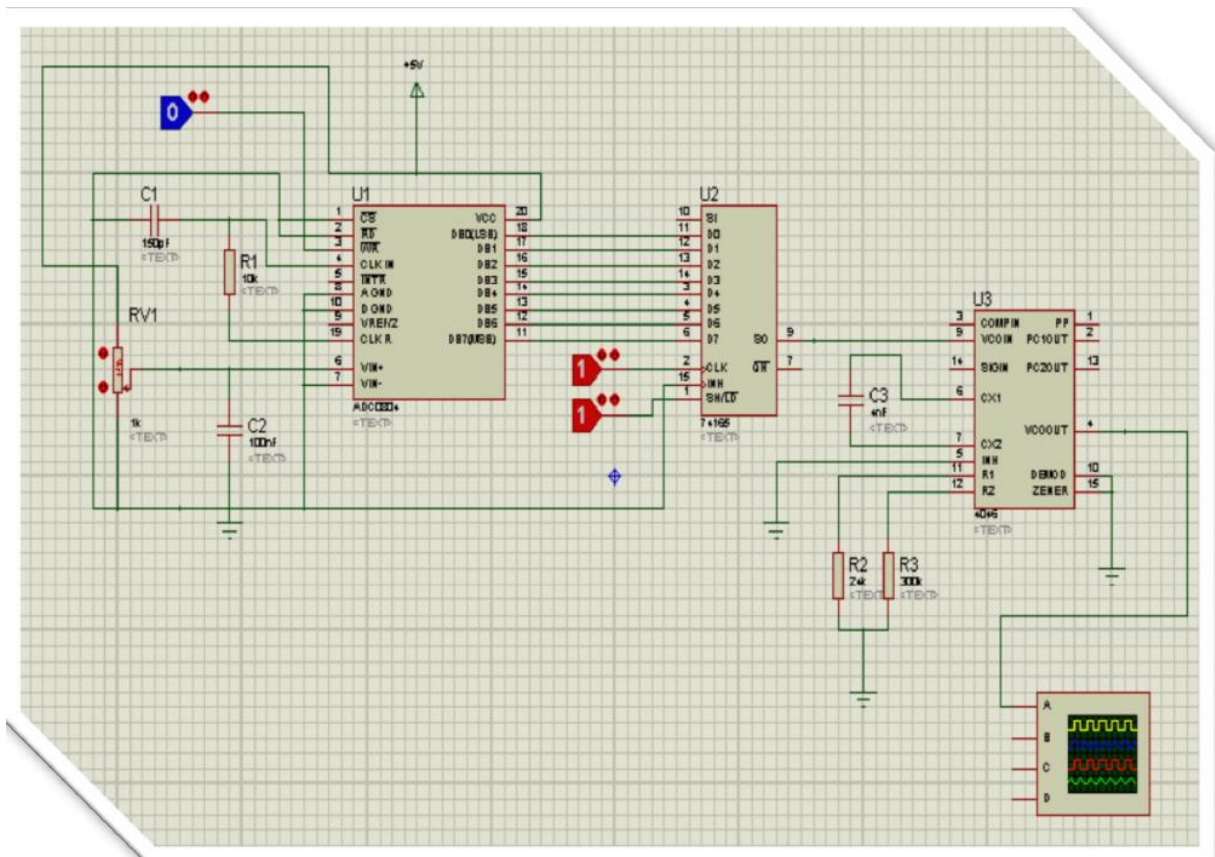


FIG. III.18 Schéma globale modulation FSK

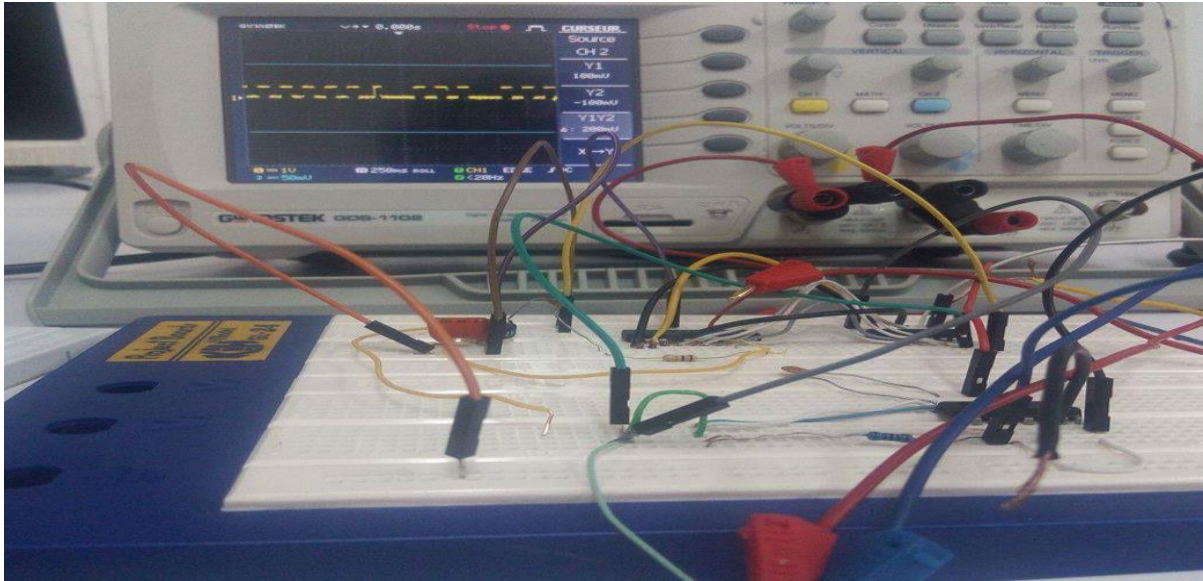


FIG. III.19 Mesure de f_1 et f_2

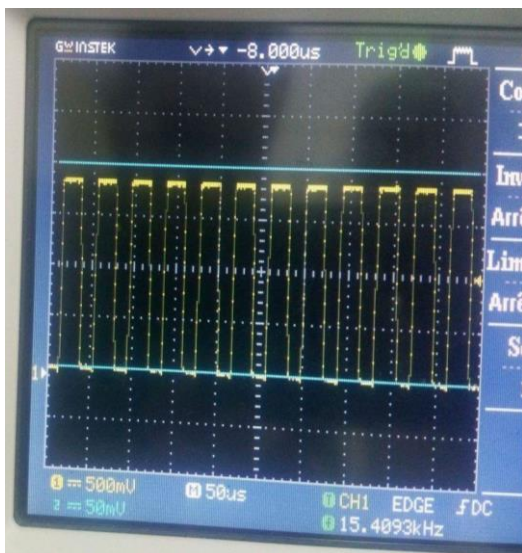


FIG. III.20 Affichage de la fréquence f_1

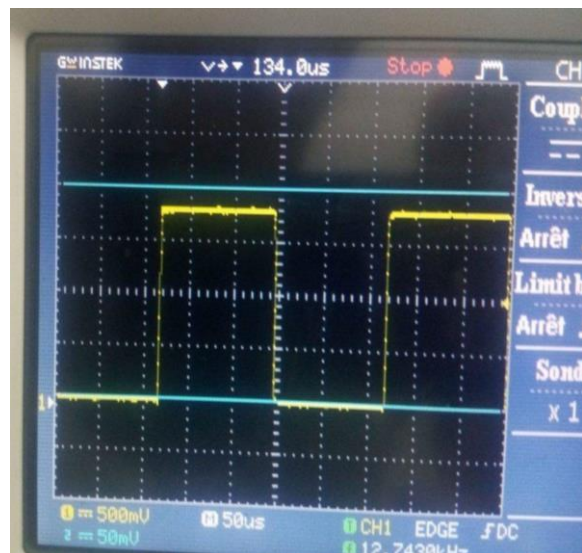


FIG. III.21 Affichage de la fréquence f_2

III.5. Réalisation pratique

Le circuit imprimé du modulateur numérique FSK est donné par la figure suivante :

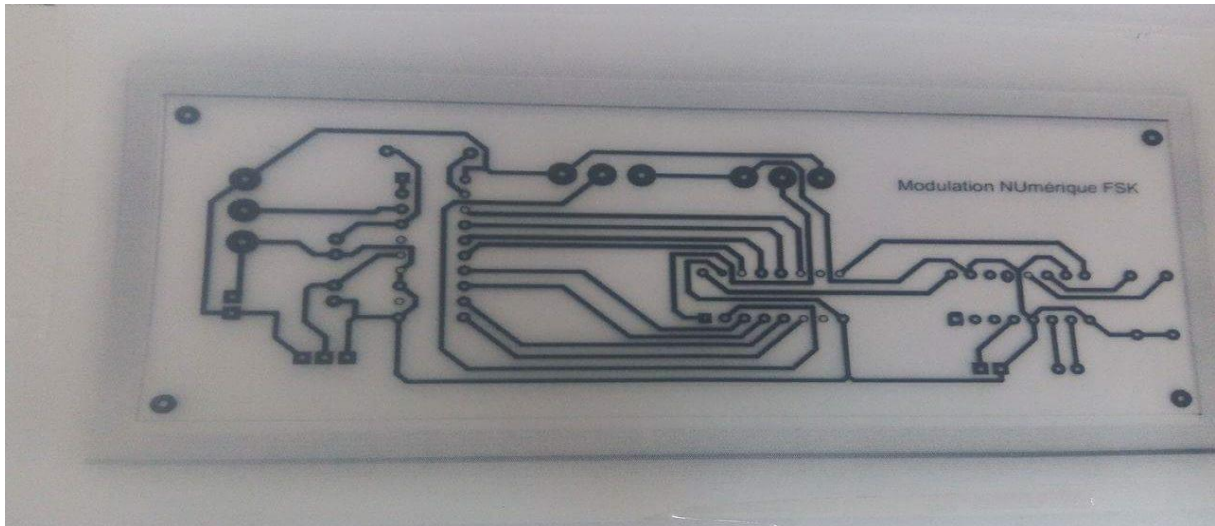


FIG. III.22 Typon du circuit modulateur FSK

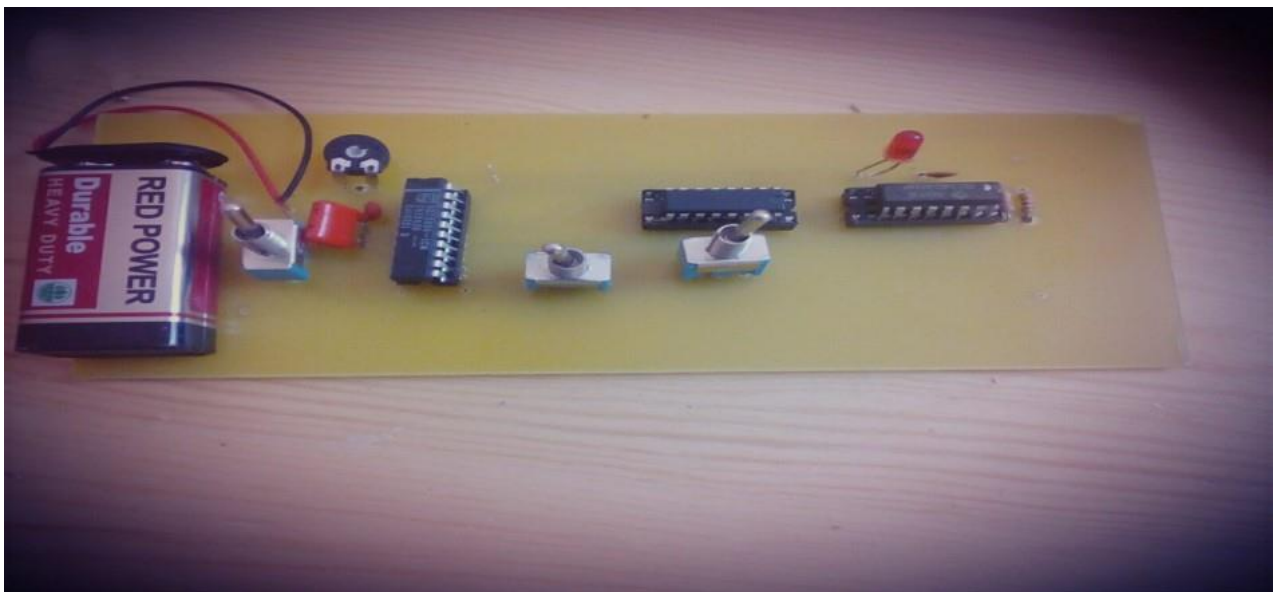


FIG. III.23 : Circuit réalisé d'un modulateur FSK

Dans la sortie de ce circuit (broche 4) on remplace la LED rouge par un oscilloscope et on trouve les mêmes signaux que ceux qu'on a trouvés dans la simulation dans ISIS.

III.6. CONCLUSION

Dans cette partie on a commencé par faire une simulation avec ISIS, qui permet de modéliser notre système réel, modulateur numérique FSK.

Notre la réalisation pratique a été menée avec succès qui nous permettre de voir le comportement du signal modulé en FSK aussi comprendre beaucoup de choses tant sur la mise au point, les tests, la soudure et la mesure et la validation des résultats.

Conclusion générale

Les systèmes modernes de communication numérique sont complexes et requièrent des circuits de modulation et de démodulation de plus en plus sophistiqués. Nous avons examiné un certain nombre de modulations qui sont aujourd'hui utilisées. Il s'avère que le choix d'un type de modulation est toujours déterminé par les contraintes de l'application. Le développement des transmissions numériques s'est appuyé sur les progrès rapides réalisés dans le domaine des circuits intégrés de traitement des signaux. Ainsi, l'utilisation de solutions intégrées devient indispensable au fur et à mesure que le niveau de complexité des systèmes s'accroît et que le prix consenti par le consommateur diminue.

Ce projet nous a permis de travailler sur le fonctionnement d'un modulateur FSK qui nous a permis de savoir l'importance d'utilisation de la modulation par déplacement de fréquence FSK pour l'avancée de la technologie de services multimédia car elle permet primo à avoir une imagination proche de la réalité du transmission numérique de l'information, secundo elle fournit une étude théorique très intéressante pour la simulation d'un phénomène physique dans une situation donnée, cette étude (simulation) nous a permis de simuler les circuits électroniques et faire des tests pour voir les différents signaux électroniques qu'on doit traiter, et imaginer les défauts lors d'analyse et de les prévenir (codage correcteur d'erreur, entrelacement, modulation)

On peut citer les deux avantages suivants des modulations numériques:

- Tout d'abord, le rapport signal sur bruit est meilleur avec un système numérique car, même si un signal numérique est bruité, distordu ou parasité, il est facile de le reconstruire en comparant ce signal déformé à un seuil.
- Ensuite, les densités spectrales des signaux modulés numériquement ont des largeurs moindres qu'en analogique, ce qui permet d'augmenter le nombre de canaux utilisables par Hz pour les transmissions d'informations.

Dans le cadre de ce projet de fin d'études, nous nous sommes intéressés à l'implémentation d'une architecture matérielle de la modulation FSK sur un circuit imprimé.

Au cours de ce projet, nous avons commencé avec une étude bibliographique sur la modulation numérique et sur les outils logiciels et matériels nécessaires pour arriver à notre but. Ensuite nous avons concentré l'étude sur la fonctionnalité du modulateur FSK.

Et comme perspective ce projet pourra être développé dans le futur pour réaliser une partie complémentaire concernant la démodulation et faire une transmission réelle d'un signal analogique comme de la musique, une image, etc....

Bibliographie

Les ouvrages

- [1]. **GLAVIEUX Alain / JOINDOT Michel**, *Communications numériques*, Paris, Masson, 1996.
- [2]. **BIC J.C. / DUPONTEIL D. / IMBEAUX J.C.**, *Eléments de communications numériques, Transmission sur fréquence porteuses*, Paris, Dunod, 1986.
- [3]. **F.de COULON**, *Théorie et traitement des signaux*, Paris, Dunod, 1984.
- [4]. **LAWRENCE E. LARSON**, *RF and Microwave Circuit Design for Wireless Communications*, Boston London, Artech House, 1996
- [5]. **John G. PROAKIS**, *Digital communications*, USA, McGraw-Hill 1989
- [6]. **Michel DEGAUQUE**, *Transmission numérique sur porteuse : ASK, FSK et PSK*. Probatoire du CNAM de Bordeaux, juillet 1998.
- [7]. **François de Dieuleveult / Olivier Romain**, *électronique appliquée aux hautes fréquences* 2eme édition, DUNOD, 2008.
- [8]. **POUMIER Christian**, *modulations numériques -Modes PSK*, Station radio amateur du nord Quercy, 2008.

- [9]. **Maurice Gagnaire**, *Boucles d'accès hauts débits* de. DUNOD, Paris, 2001.
- [10]. **Edoward Rivier**, *Transmission Numérique Multimédia*, Edition Eyrolles 1997
- [11]. **Frédéric de Coulon**, *Théorie Et Traitement Des Signaux*, Edition presses polytechniques et universitaires romandes 1998,
- [12]. *Caractéristiques des supports de transmission*, Université de Sétif.
- [13]. *Technique de modulation dans la transmission Haut débit*, INTTIC Oran
- [14]. *Etude des différents formats de modulation dans une liaison optique à haut débit*, INTTIC Oran
- [15]. *Modulation par déplacement de fréquence FSK*, Université de Batna.
- [16]. *Modulation de signaux numérique*, Université de la mare carrée -France-
- [17]. *Modulation Numérique FSK*, Université Bordeaux –France-

Sites web

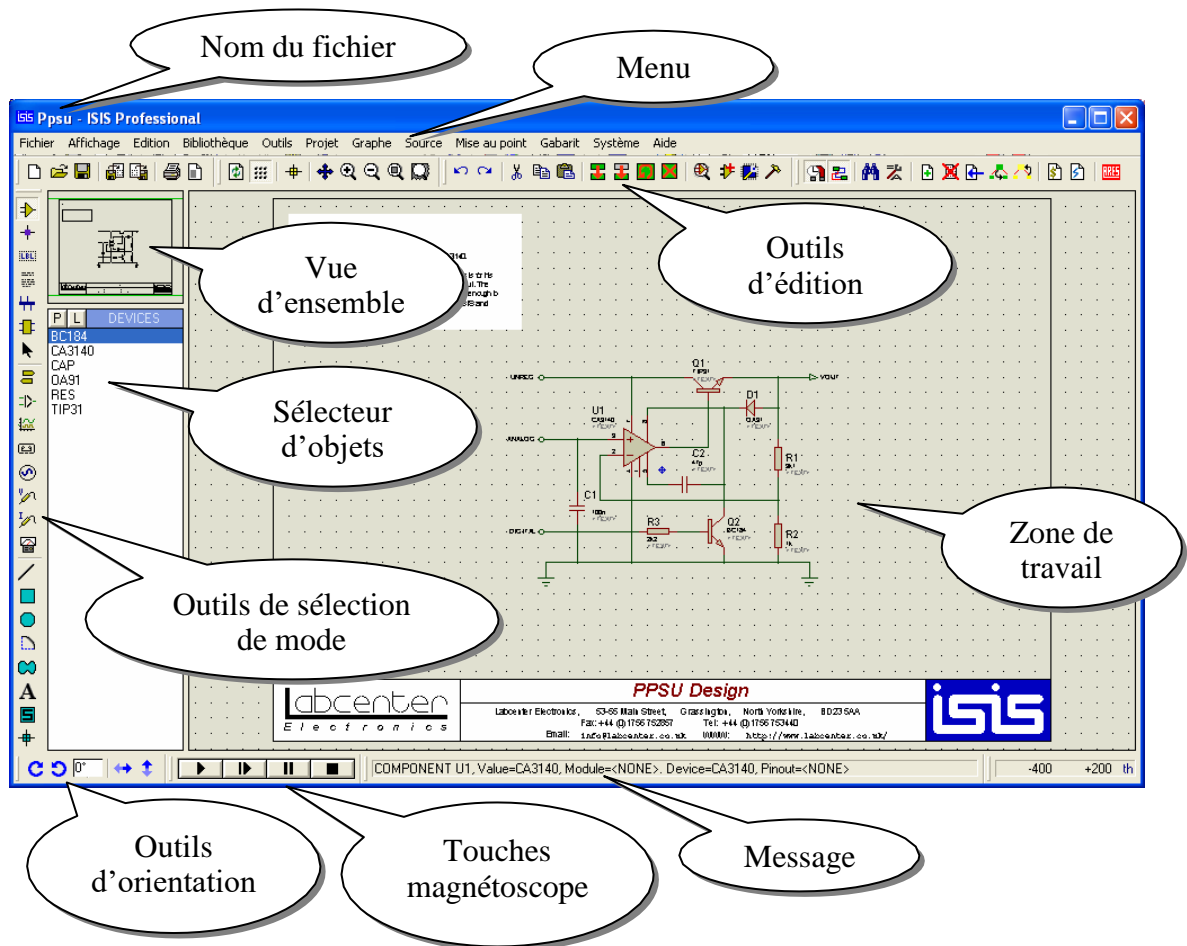
- www.unilim.fr
- www.metz.supelec.fr
- www.comelec.enst.fr
- www.u-bourgogne.fr
- www.schema-electrique.net

Annexe

1 Démarrer



L'écran Isis

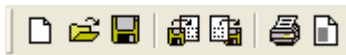


REMARQUE : Les barres d'outils peuvent être déplacées en les faisant glisser sur les 4 cotés de la fenêtre.

Les barres d'outils

Les outils d'édition


• Commandes de fichier et d'impression



- | | |
|---|--|
|  Nouveau projet |  Exporter les objets sélectionnés vers un fichier de section ISIS |
|  Charger un projet existant |  Imprimer |
|  Sauvegarder le projet en cours |  Définir la zone à imprimer |
|  Importer un fichier de section ISIS | |

• Commandes d'affichage



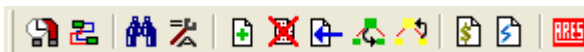
- | | |
|--|--|
|  Réactualiser l'affichage |  Zoom avant |
|  Affichage de la grille de points |  Zoom arrière |
|  Origine manuelle |  Voir la feuille entière |
|  Recentrer l'affichage |  Zoom de la zone sélectionnée |

• Commandes d'édition



- | | |
|--|---|
|  Annuler la dernière opération |  Rotation / symétrie des objets sélectionnés |
|  Rétablir la dernière opération annulée |  Effacement des objets sélectionnés |
|  Couper |  Prendre ou mettre à jour un composant ou un symbole |
|  Copier |  Regrouper la sélection en un composant de la bibliothèque |
|  Coller |  Outil d'affectation de boîtier |
|  Copie des objets sélectionnés |  Décomposer l'objet sélectionné |
|  Déplacement des objets sélectionnés | |

• Outils de projet



- | | |
|---|---|
|  Accrochage en temps réel |  Aller à une feuille spécifique |
|  Autoroutier de fils |  Aller vers une feuille enfant |
|  Recherche de composant |  Quitter la feuille courante pour remonter à la feuille parent |
|  Gestion des propriétés |  Rapport de liste du matériel |
|  Nouvelle feuille racine |  Contrôle des règles électriques |
|  Supprimer la feuille courante |  Générer la netliste et passer sous ARES |

Les outils de sélection de mode

• Modes principaux



Composant



Point de connexion



Label



Texte



Bus

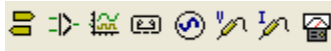


Sous-circuit



Edition

• Gadgets



Terminaisons



Broches des composants



Graphes pour affichage de la simulation



Enregistreur



Générateurs



Sonde de tension

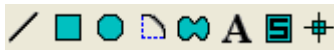


Sonde de courant



Instruments virtuels

• Graphiques 2D



Ligne



Rectangle



Cercle



Arc de cercle



Forme fermée



Texte

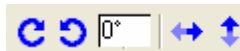


Symboles



Marqueur d'origine de composants, etc...

Les outils d'orientation



Rotation $\frac{1}{4}$ de tour sens horaire



Rotation $\frac{1}{4}$ de tour sens trigonométrique



Angle de l'objet sélectionné



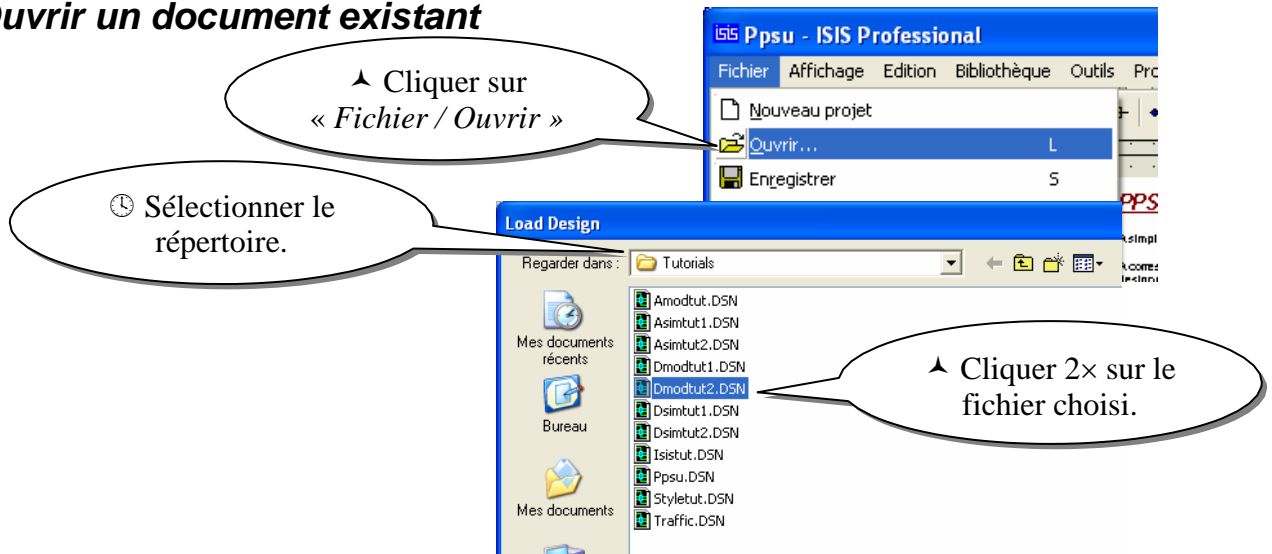
Symétrie horizontale



Symétrie verticale

2 Quelques actions

Ouvrir un document existant



Sélectionner un composant

Cliquer sur le composant avec le bouton **DROIT** de la souris. Le composant sélectionné devient rouge



Si on clique avec le bouton droit sur un composant déjà sélectionné : il s'efface !!

Pour le récupérer cliquer sur : « *Edition / Annuler* » ou sur le bouton

Désélectionner un composant

Cliquer hors du composant avec le bouton **DROIT** de la souris.

Sélectionner une zone de composants

Maintenir le bouton **DROIT** de la souris enfoncé et encadrer la zone. Les composants sélectionnés deviennent rouges.

Annuler la dernière action

Cliquer sur : « *Edition / Annuler* » ou le bouton


Effacer

Cliquer **deux fois** sur l'élément à supprimer avec le bouton **DROIT** de la souris.

Remplacer un composant par un équivalent

Placer le nouveau composant en superposition avec l'ancien (au moins une patte connectée à une de l'ancien composant). Il faut que la souris soit sur l'ancien composant au moment du clic de placement du nouveau.

Zoom

① Pour agrandir une zone: maintenir la touche « majuscule » du clavier enfoncée et sélectionner la zone avec la souris (*clic gauche maintenu pendant le déplacement de la souris*) ou utiliser le bouton .

② Pour afficher tout le schéma à l'écran : Cliquer sur le bouton  ou utiliser la touche **F8**




REMARQUE : *Le zoom avant et arrière est également disponible en utilisant la molette de la souris.*

Grille de placement des composants

Pour aligner correctement les composants en sélectionnant un pas de grille : Cliquer sur « *Affichage / Pas XX* » (XX étant le pas de la grille)



Pour que la grille soit visible il faut que le bouton « *affichage de la grille* »  soit appuyé.

3 Edition d'un nouveau circuit

Sélection des composants à utiliser

▲ Cliquez sur le bouton "Composant".

⌚ Cliquez sur le bouton "Choisir composants" ou tapez **P** sur le clavier.

▲ Tapez un mot clef ou sélectionnez une catégorie

Mots clés:	Résultats (14):
16F	Device Biblio. Description
Identique sur tous les mots?	FM24C16F I2CMEMS 16k-bit 2048x8 I2C serial EEPROM memory (400kHz/10ms write)
Catégorie:	PIC16F627A MICRO PIC16 Microcontroller (1024B code, 224B data, 128B EPROM, Ports A-B)
(Toutes catégories)	PIC16F628A MICRO PIC16 Microcontroller (2k code, 224B data, 128B EPROM, Ports A-B)
Memory ICs	PIC16F648A MICRO PIC16 Microcontroller (4k code, 256B data, 256B EPROM, Ports A-B)
Microprocessor ICs	PIC16F83 MICRO PIC16 Microcontroller (512B code, 36B data, 64B EPROM, Ports A-B, 1
	PIC16F84A MICRO PIC16 Microcontroller (1024B code, 68B data, 64B EPROM, Ports A-B)
	PIC16F88 MICRO PIC16 Microcontroller with Comparator, USART, SPI, I2C, Timers, CCP
	MICRO PIC16 Microcontroller (2k code, 128B data, 64B EPROM, Ports A-C, 1
	MICRO PIC16 Microcontroller (2k code, 128B data, 64B EPROM, Ports A-E, 1
	MICRO PIC16 Microcontroller (4k code, 192B data, 128B EPROM, Ports A-C,
	PIC16 Microcontroller (4k code, 192B data, 128B EPROM, Ports A-E,
	PIC16 Microcontroller (8k code, 368B data, 256B EPROM, Ports A-C,
	PIC16 Microcontroller (8k code, 368B data, 256B EPROM, Ports A-E,
	PIC16 Microcontroller with Comparator, USART, SPI, I2C, Timers, CCP

⚙️ Cliquez deux fois sur le composant pour l'ajouter à la sélection.

⌚ Recommencer en ▲ pour sélectionner d'autres composants.

⚙️ Fermer la fenêtre



REMARQUE 1 : Si par exemple vous tapez le mot « RES » dans la case mot clef, plusieurs centaines de composants contenant les lettres « RES » sont disponibles. Il suffit d'appuyer deux fois sur la touche « Entrée » pour que le composant « RES » soit choisi.



REMARQUE 2 : Pour supprimer des composants non utilisés du sélecteur d'objets, cliquer sur « Edition / Nettoyer ». Attention, cela supprime tous les composants non placés ainsi que ceux placés en dehors des limites de la feuille.

3.2 Ajout d'un composant sur le schéma

3.2.1 Placement

▲ Cliquez sur le bouton "Composant".

⌚ Cliquez sur le composant choisi.

Les boutons d'orientation permettent de positionner correctement le composant.

▲ Placer la souris où le composant doit être positionné. Cliquer avec le bouton **gauche**. Le composant est placé.

3.2.2 Edition des caractéristiques d'un composant



- ▲ Sélectionner le composant
- 🕒 Cliquer sur le corps du composant. La fenêtre de propriétés du composant s'ouvre.

The screenshot shows the 'Propriétés du composant' dialog box. Callouts point to the 'Référence' field (containing 'R1'), the 'Valeur' field (containing '10k'), the 'Boîtier (pour le routage)' dropdown (set to 'RES40'), and the 'Cache' checkboxes. A thought bubble says 'Pour ne pas l'afficher sur le schéma' pointing to the 'Cache' fields. Another thought bubble says 'Pour choisir un autre boîtier' pointing to the 'Boîtier' dropdown. A yellow box on the left contains a table of multipliers.

Multiplicateurs de valeurs :	
10^{12} (Téra)	↯ T
10^9 (Giga)	↯ G
10^6 (Méga)	↯ M ou MEG
10^3 (kilo)	↯ k
10^0	↯ pas de suffixe
10^{-3} (milli)	↯ m
10^{-6} (micro)	↯ μ
10^{-9} (nano)	↯ n
10^{-12} (pico)	↯ p
10^{-15} (femto)	↯ f

Connecter les composants





- ▲ Cliquer sur la broche du 1^{er} composant à relier (une croix s'ajoute à la souris lorsqu'elle est bien positionnée)
- 🕒 Cliquer sur la broche du 2^{ème} composant à relier.

⚠ Vérifier que les boutons « *accrochage en temps réel* »  et « *autorouteur de fils* »  soient appuyés.

Déplacer un composant


- ▲ Sélectionner le composant
- 🕒 Maintenir le bouton gauche de la souris enfoncé jusqu'à la position choisie.

Copier, déplacer, tourner, effacer un ensemble de composants

- ▲ Sélectionner les composants en maintenant le bouton **DROIT** de la souris appuyé.
- 🕒 Utiliser le bouton
 -  Pour **copier**
 -  Pour **déplacer**
 -  Pour **tourner** (0°, 90°, 180° ou 270°)
 -  Pour **supprimer**

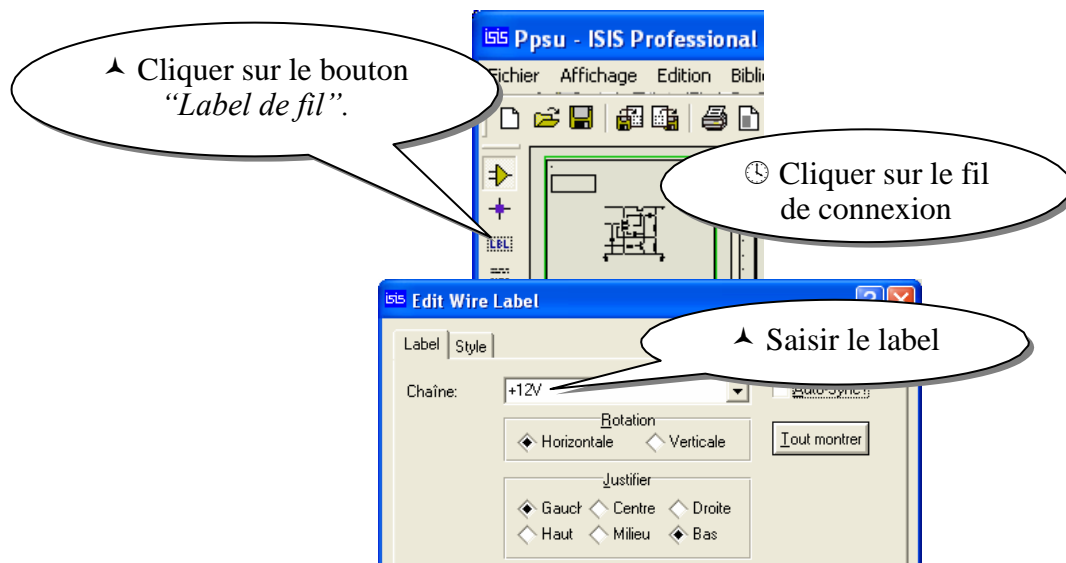
- ▲ Déplacer la souris vers la position choisie
- ☀ Cliquer
- 🕒 Cliquer avec le bouton de **droite** pour sortir de ce mode

Placer un bus

- ▲ Cliquer sur le bouton “Bus” .
- 🕒 Cliquer sur le point de départ du bus
- ▲ Cliquer sur les points de passage du bus
- ✳️ Cliquer sur le bouton **droit** de la souris pour terminer le bus


Affecter un label à une connexion

Un label permet d'affecter un même potentiel électrique à chaque fil du schéma portant le même label sans qu'il soit nécessaire de les connecter entre eux. C'est très utile pour les alimentations (par exemple un fil peut porter le label GND, VCC, etc...)



REMARQUE : Les labels des bus doivent être de la forme $D[0..7]$ pour être associé aux fils $D0$ à $D7$.


Vérification du respect des règles électriques

- ▲ Cliquer sur le bouton « Contrôle des règles électriques... » .
- 🕒 Consulter le compte rendu. Le message « No ERC errors found » signifie qu'aucune erreur n'a été détectée.



Cette commande vérifie s'il n'y a pas de broches de composants non reliés, si des sorties de circuits intégrés ne sont pas court-circuitées... Mais il ne détecte pas les erreurs de principe ou de calculs de composants.

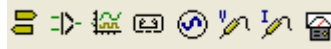
Génération de la nomenclature des composants

Cliquer sur « Outils / Liste du matériel » ou sur le bouton .

4 Simulation

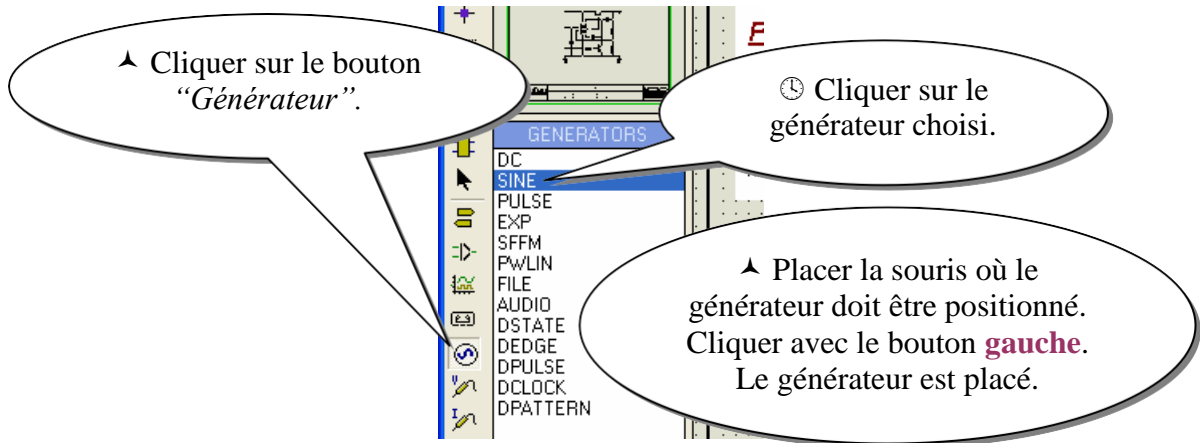
Dans un premier temps, il faut saisir le schéma à partir de ISIS. Ensuite, il faut ajouter les générateurs, les graphes et les sondes.

Les outils utiles se trouvent dans le menu **Gadgets**



Ajout d'un générateur

Placement



Edition des caractéristiques du générateur

- ▲ Sélectionner le générateur (*clic droit sur le générateur*)
- 🕒 Cliquer sur le corps du générateur. La fenêtre de propriétés s'ouvre.

Sine Generator Properties

Nom: []

Types analogiques:

- DC
- Sine
- Pulse
- Pwlin
- File
- Audio
- Exponent
- SFFM

Types numériques:

- Steady State
- Single Edge
- Single Pulse
- Clock
- Pattern

Source de courant?

Isoler avant?

Edition manuelle?

Cacher propriétés?

Offset (Volts): 0.00

Amplitude (Volts):

- Amplitude: 1.0
- Crête:
- RMS:

Timing:

- Fréquence (Hz): 1.0
- Période (Secs):
- Cycles/graphes:

Retard:

- Temps (Secs):
- Phase (Degrés): 0.0

Amortissement (1/s): 0.00

OK Annuler

Nom

Type de générateur (analogique)

Type de générateur (logique)

Usage en source de courant

Isole de l'état électrique avant le générateur

Caractéristiques (dépend du type de générateur)

Différents types de générateurs

Générateurs de signaux analogiques

DC : Source de tension continue

Sine : Générateur de signal sinusoïdal, avec contrôle de l'amplitude, de la fréquence et de la phase.

Pulse : Générateur d'impulsion analogique, avec contrôle de l'amplitude, de la période et des temps de montée / descente.

Pwlin : Générateur linéaire Piece-Wise pour des signaux ou formes d'ondes arbitraires.

File : Comme ci-dessus, mais les valeurs sont contenues dans un fichier ASCII.

Audio : Utilise les fichiers WAV de Windows comme forme d'onde en entrée. Ils sont particulièrement utiles en relation avec les graphes Audio, ils permettent d'écouter les effets d'un circuit sur les signaux audio..

Exponent : Générateur d'impulsion exponentielle qui produit une impulsion identique à la charge/décharge d'un circuit RC.

SFFM : Générateur de fréquence FM simple qui produit une onde définie par la fréquence de modulation d'une onde sinusoïdale par une autre.

Générateurs de signaux logiques

Steady State : Niveau logique constant.

Single Edge : Transition logique simple ou front.

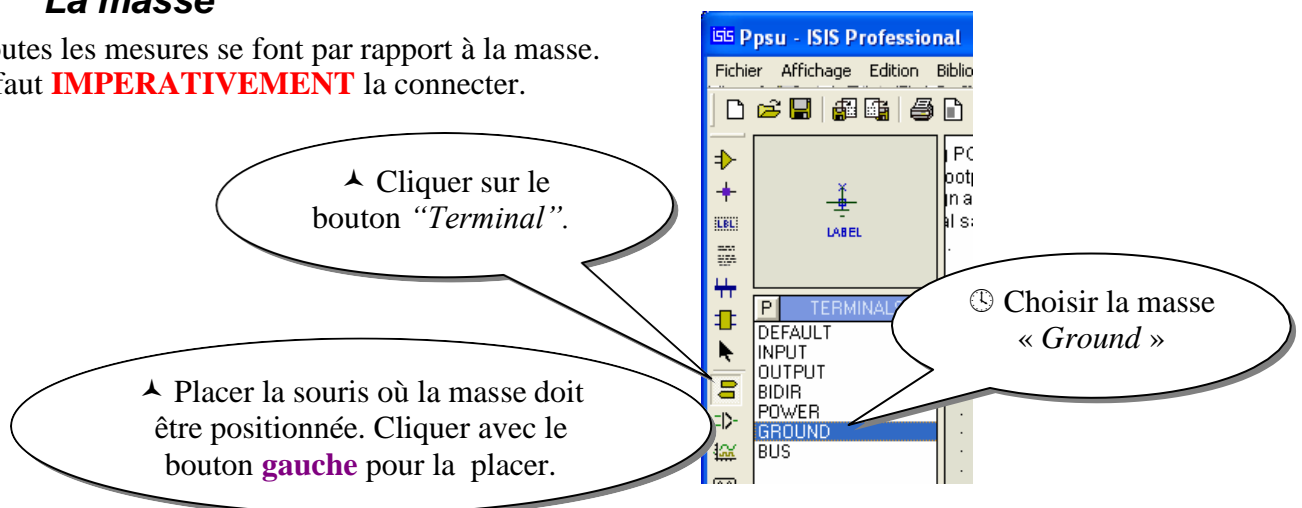
Single Pulse : Impulsion logique simple.

Clock : Signal d'horloge.



Pattern : Séquence arbitraire de niveaux logiques.

La masse

Toutes les mesures se font par rapport à la masse.
Il faut **IMPÉRATIVEMENT** la connecter.

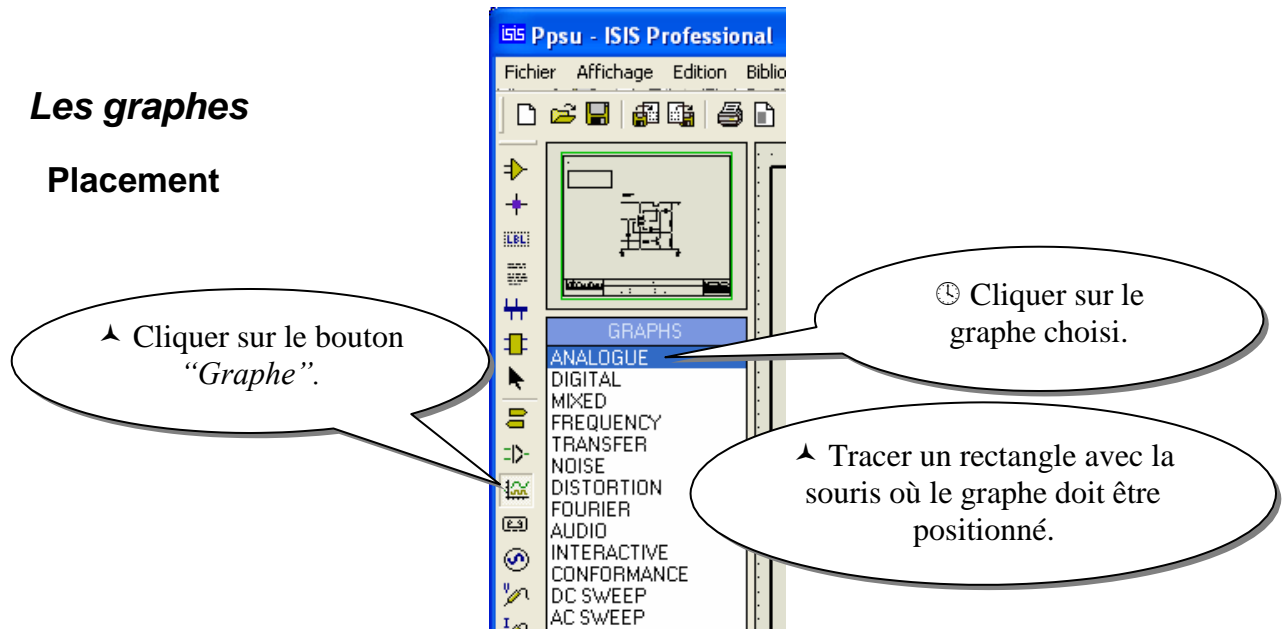


Placer les sondes

- ▲ Cliquer sur le bouton “Sonde de tension”  ou sur le bouton “Sonde de courant” .
- 🕒 Placer la souris où la sonde doit être positionnée. Cliquer avec le bouton **gauche**. La sonde est placée.

Les graphes

Placement



Propriétés

Analogue : Tensions, courants (ou valeurs calculées) en fonction du temps.

Digital : Signaux numériques en fonction de temps.

Mixed : Tensions, courants, signaux numériques en fonction du temps.

Frequency : Gains et phases en fonction de la fréquence.

Transfer : Tension DC en fonction de la valeur de une ou de deux tensions d'entrée de balayage.

Noise : Niveau de bruit en fonction de la fréquence.

Distorsion : Harmoniques de distorsion d'ordre 2 et 3 en fonction de la fréquence. Peut également être utilisé pour montrer la distorsion d'intermodulation entre deux fréquences en entrée.

Fourier : Analyse spectrale (contenu des harmoniques).

Audio : Identique au graphe 'analogue' avec la fonctionnalité supplémentaire que la forme d'onde résultante peut être écoutée via une carte son.

Interactive : La simulation permet l'utilisation d'objets interactifs (interrupteurs, potentiomètres...).

Conformance : Compare le résultat de la simulation le résultat d'une simulation précédente.

DC Sweep : Tension ou courant à un point de fonctionnement donné en fonction d'un paramètre de contrôle.

AC Sweep : Gains et phases à une fréquence donnée en fonction d'un paramètre de contrôle.

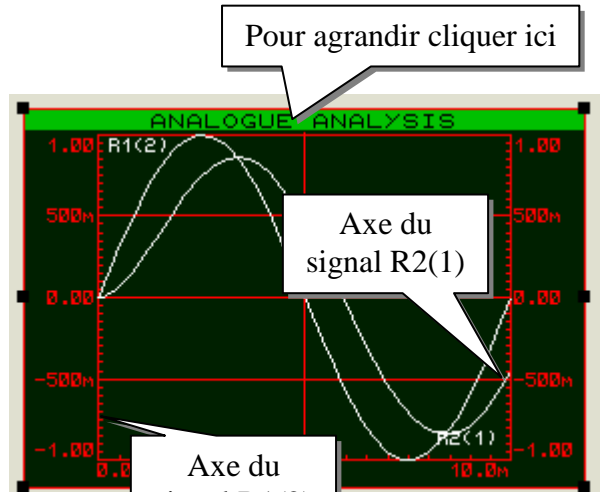
Lire un graphe

Affecter une sonde à un graphe

- ▲ Sélectionner la sonde représentative du signal à visualiser.
- 🕒 Faire glisser la sonde dans le graphe.
- ▲ Refaire cette manipulation pour chaque sonde.



REMARQUE : Pour visionner des signaux sur 2 échelles d'amplitude différentes, il est possible de faire glisser le nom des grandeurs à visualiser du haut-gauche vers le bas-droite du graphe.



Poignée pour changer la dimension

Changer les dimensions d'un graphe

- ▲ Sélectionner le graphe.
- 🕒 Faire glisser les poignées jusqu'à la dimension souhaitée.

Pour lancer la simulation :
Pointer le graphe et appuyer sur la **barre d'espace**

Afficher un graphe en plein écran

Pour agrandir : Cliquer une fois sur le bandeau (vert) en haut de l'écran. Le graphe s'ouvre dans une nouvelle fenêtre.



REMARQUE : Dans ce mode, il suffit de cliquer sur l'écran pour placer un **axe vertical**. En bas s'affiche la valeur précise du signal à cet instant. Pour placer un 2^{ème} axe, maintenir appuyé la touche « **Ctrl** » du clavier et cliquer sur l'écran.

Changer les caractéristiques d'affichage

- ▲ Sélectionner le graphe.
- 🕒 Cliquer sur le graphe. La fenêtre de propriétés s'ouvre.

Nom des axes

Instant de départ de l'affichage

Instant de fin de l'affichage

Paramètres de simulation avancée

Titre: ANALOGUE ANALYSE

Temps départ: 0.00

Temps fin: 10.0m

Label axe gauche:

Label axe droite:

Options

Solution DC initiale:


Toujours simuler:

Inclure netlist(s):

Options SPICE

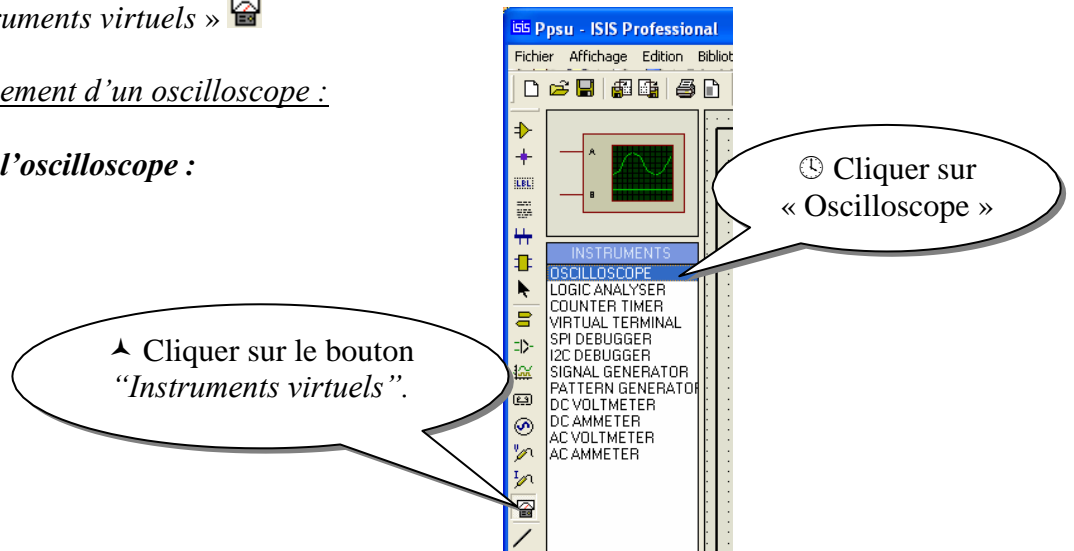
OK Annuler

Les appareils de mesure

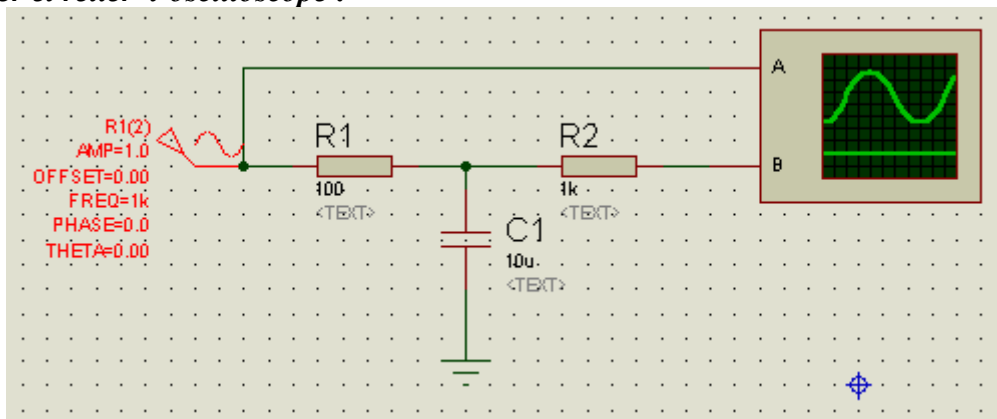
Les appareils de mesurent sont des « éléments animés » qui sont accessibles en appuyant sur le bouton « Instruments virtuels » 

Exemple de placement d'un oscilloscope :

① Sélectionner l'oscilloscope :



② Placer et relier l'oscilloscope :



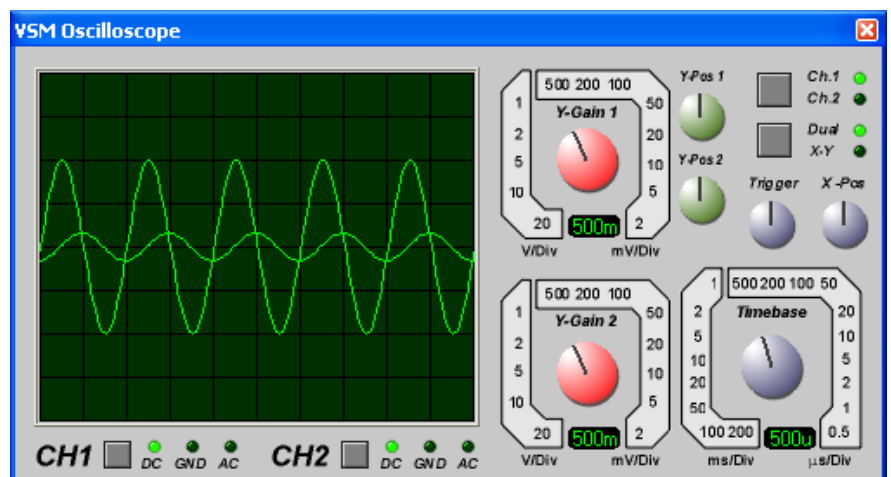
③ Lancer l'animation : Touche « Lecture » du magnétoscope



④ L'oscilloscope s'affiche




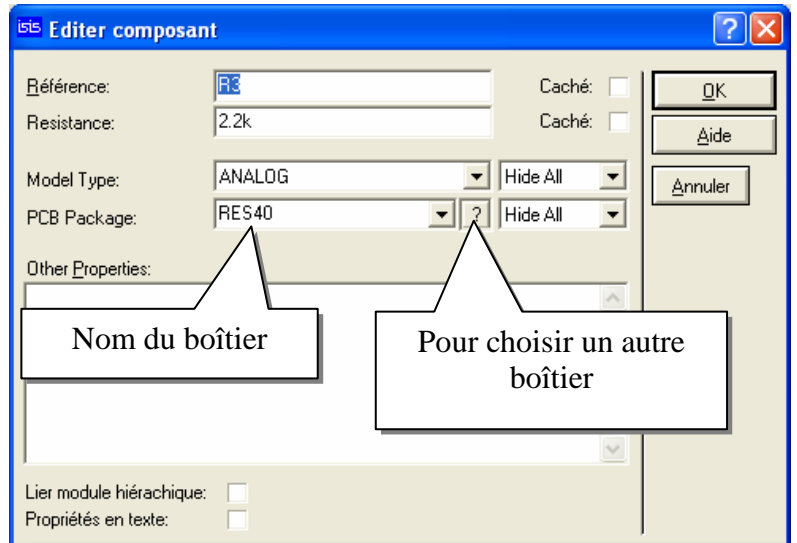
Si l'oscilloscope ne s'affiche pas : Cliquez sur « Mise au point / VSM Oscilloscope »



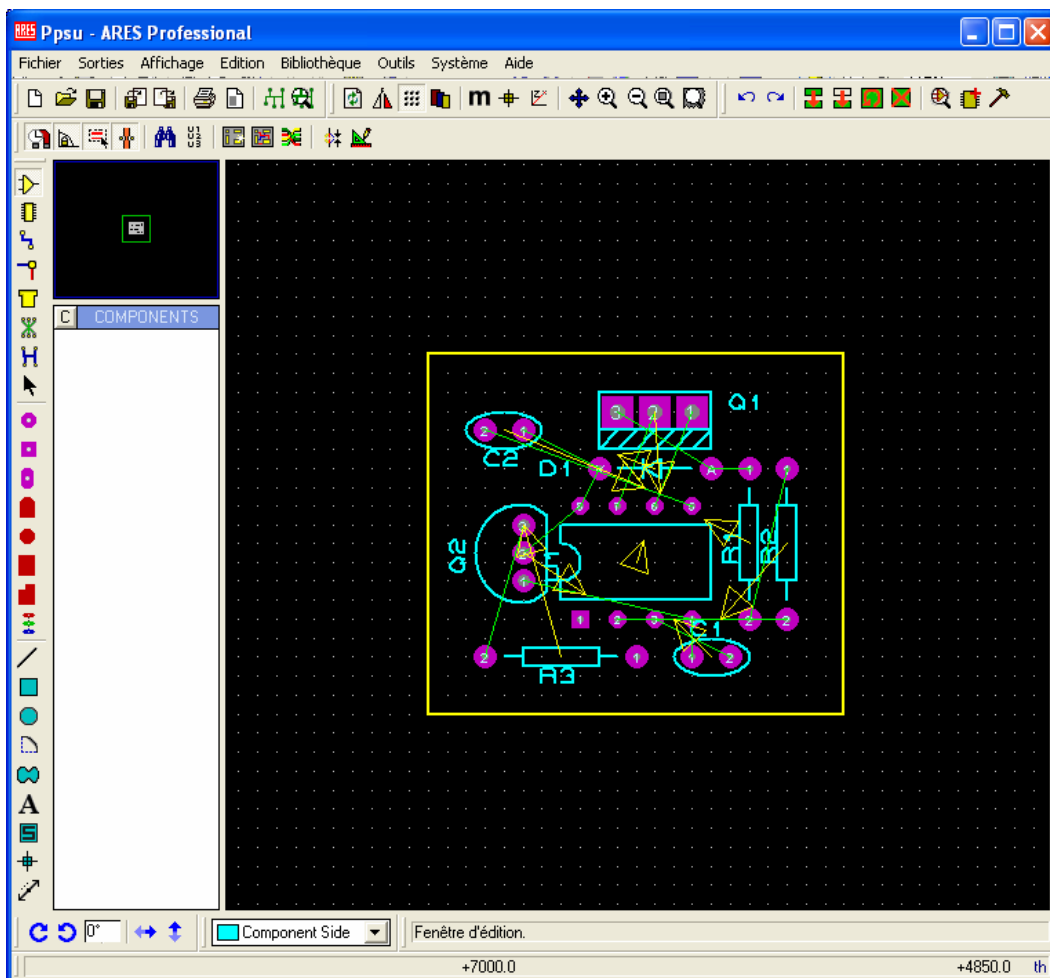
5 Préparation au routage

▲ Lors de l'édition des propriétés d'un composant, prenez soin d'affecter le boîtier convenable.

🕒 Cliquer sur « Outils / Netlist vers ARES » ou sur le bouton  pour générer la liste des composants ainsi que le chevelu.



ARES se lance automatiquement.

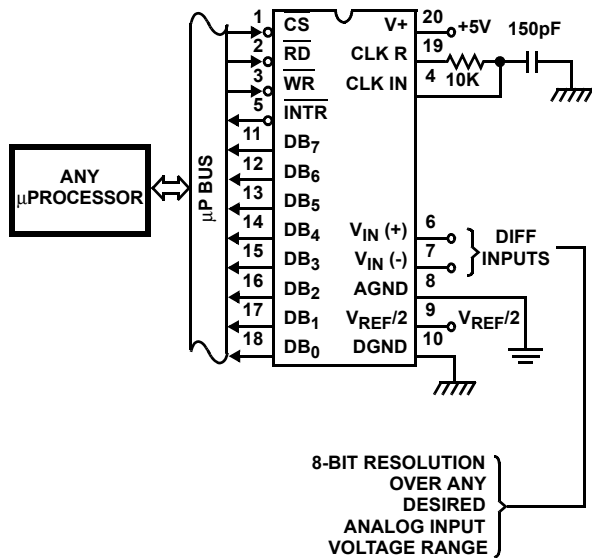


8-Bit, Microprocessor-Compatible, A/D Converters

The ADC080X family are CMOS 8-Bit, successive-approximation A/D converters which use a modified potentiometric ladder and are designed to operate with the 8080A control bus via three-state outputs. These converters appear to the processor as memory locations or I/O ports, and hence no interfacing logic is required.

The differential analog voltage input has good common-mode-rejection and permits offsetting the analog zero-input-voltage value. In addition, the voltage reference input can be adjusted to allow encoding any smaller analog voltage span to the full 8 bits of resolution.

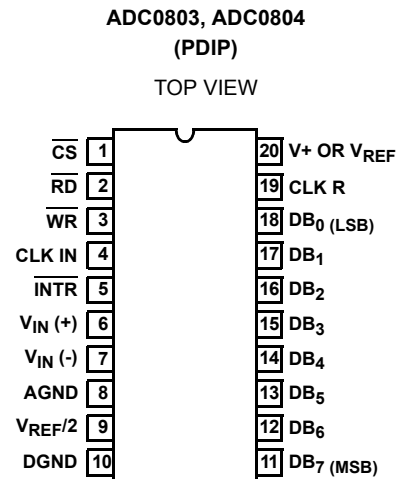
Typical Application Schematic



Features

- 80C48 and 80C80/85 Bus Compatible - No Interfacing Logic Required
- Conversion Time <100μs
- Easy Interface to Most Microprocessors
- Will Operate in a “Stand Alone” Mode
- Differential Analog Voltage Inputs
- Works with Bandgap Voltage References
- TTL Compatible Inputs and Outputs
- On-Chip Clock Generator
- Analog Voltage Input Range (Single + 5V Supply) 0V to 5V
- No Zero-Adjust Required
- 80C48 and 80C80/85 Bus Compatible - No Interfacing Logic Required

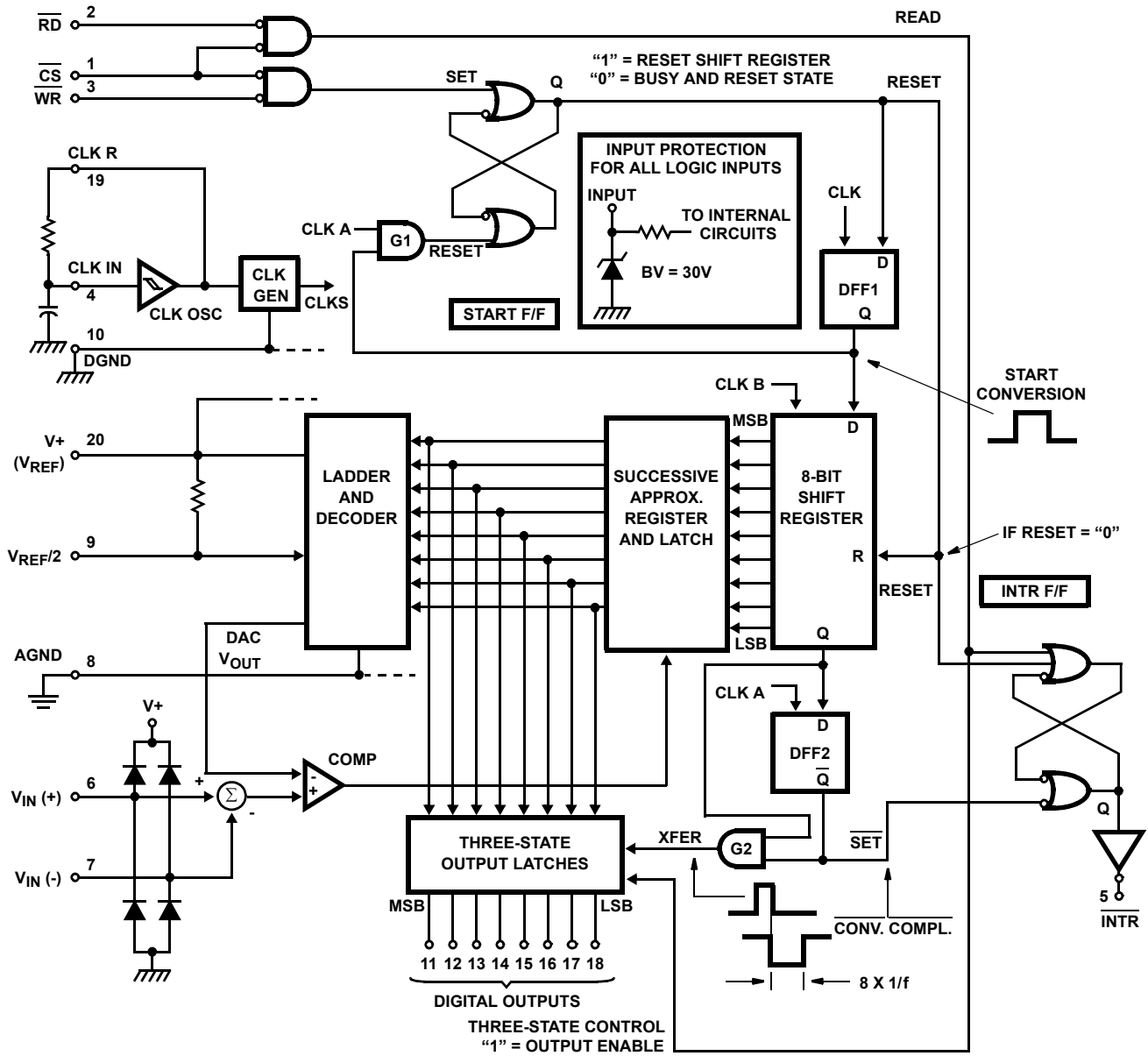
Pinout



Ordering Information

PART NUMBER	ERROR	EXTERNAL CONDITIONS	TEMP. RANGE (°C)	PACKAGE	PKG. NO
ADC0803LCN	±1/2 LSB	V _{REF/2} Adjusted for Correct Full Scale Reading	0 to 70	20 Ld PDIP	E20.3
ADC0804LCN	±1 LSB	V _{REF/2} = 2.500V _{DC} (No Adjustments)	0 to 70	20 Ld PDIP	E20.3

Functional Diagram



ADC0803, ADC0804

Absolute Maximum Ratings

Supply Voltage 6.5V
 Voltage at Any Input -0.3V to (V⁺ +0.3V)

Operating Conditions

Temperature Range 0°C to 70°C

Thermal Information

Thermal Resistance (Typical, Note 1) θ_{JA} (°C/W)
 PDIP Package 80
 Maximum Junction Temperature
 Plastic Package 150°C
 Maximum Storage Temperature Range -65°C to 150°C
 Maximum Lead Temperature (Soldering, 10s) 300°C

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

NOTE:

1. θ_{JA} is measured with the component mounted on a low effective thermal conductivity test board in free air. See Tech Brief TB379 for details.

Electrical Specifications (Notes 2, 8)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
CONVERTER SPECIFICATIONS V ⁺ = 5V, T _A = 25°C and f _{CLK} = 640kHz, Unless Otherwise Specified					
Total Unadjusted Error					
ADC0803	V _{REF/2} Adjusted for Correct Full Scale Reading	-	-	±1/2	LSB
ADC0804	V _{REF/2} = 2.500V	-	-	±1	LSB
V _{REF/2} Input Resistance	Input Resistance at Pin 9	1.0	1.3	-	kΩ
Analog Input Voltage Range	(Note 3)	GND-0.05	-	(V ⁺) + 0.05	V
DC Common-Mode Rejection	Over Analog Input Voltage Range	-	±1/16	±1/8	LSB
Power Supply Sensitivity	V ⁺ = 5V ±10% Over Allowed Input Voltage Range	-	±1/16	±1/8	LSB
CONVERTER SPECIFICATIONS V ⁺ = 5V, 0°C to 70°C and f _{CLK} = 640kHz, Unless Otherwise Specified					
Total Unadjusted Error					
ADC0803	V _{REF/2} Adjusted for Correct Full Scale Reading	-	-	±1/2	LSB
ADC0804	V _{REF/2} = 2.500V	-	-	±1	LSB
V _{REF/2} Input Resistance	Input Resistance at Pin 9	1.0	1.3	-	kΩ
Analog Input Voltage Range	(Note 3)	GND-0.05	-	(V ⁺) + 0.05	V
DC Common-Mode Rejection	Over Analog Input Voltage Range	-	±1/8	±1/4	LSB
Power Supply Sensitivity	V ⁺ = 5V ±10% Over Allowed Input Voltage Range	-	±1/16	±1/8	LSB
AC TIMING SPECIFICATIONS V ⁺ = 5V, and T _A = 25°C, Unless Otherwise Specified					
Clock Frequency, f _{CLK}	V ⁺ = 6V (Note 4)	100	640	1280	kHz
	V ⁺ = 5V	100	640	800	kHz
Clock Periods per Conversion (Note 5), t _{CONV}		62	-	73	Clocks/Conv
Conversion Rate In Free-Running Mode, CR	$\overline{\text{INTR}}$ tied to $\overline{\text{WR}}$ with $\overline{\text{CS}} = 0\text{V}$, f _{CLK} = 640kHz	-	-	8888	Conv/s
Width of $\overline{\text{WR}}$ Input (Start Pulse Width), t _{W(WR)}	$\overline{\text{CS}} = 0\text{V}$ (Note 6)	100	-	-	ns
Access Time (Delay from Falling Edge of $\overline{\text{RD}}$ to Output Data Valid), t _{ACC}	C _L = 100pF (Use Bus Driver IC for Larger C _L)	-	135	200	ns
Three-State Control (Delay from Rising Edge of $\overline{\text{RD}}$ to HI-Z State), t _{1H} , t _{0H}	C _L = 10pF, R _L = 10K (See Three-State Test Circuits)	-	125	250	ns
Delay from Falling Edge of $\overline{\text{WR}}$ to Reset of $\overline{\text{INTR}}$, t _{WI} , t _{RI}		-	300	450	ns
Input Capacitance of Logic Control Inputs, C _{IN}		-	5	-	pF
Three-State Output Capacitance (Data Buffers), C _{OUT}		-	5	-	pF

Electrical Specifications (Notes 2, 8) (Continued)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
DC DIGITAL LEVELS AND DC SPECIFICATIONS $V+ = 5V$, and T_{MIN} to T_{MAX} , Unless Otherwise Specified					
CONTROL INPUTS (Note 7)					
Logic "1" Input Voltage (Except Pin 4 CLK IN), V_{INH}	$V+ = 5.25V$	2.0	-	$V+$	V
Logic "0" Input Voltage (Except Pin 4 CLK IN), V_{INL}	$V+ = 4.75V$	-	-	0.8	V
CLK IN (Pin 4) Positive Going Threshold Voltage, $V+_{CLK}$		2.7	3.1	3.5	V
CLK IN (Pin 4) Negative Going Threshold Voltage, $V-_{CLK}$		1.5	1.8	2.1	V
CLK IN (Pin 4) Hysteresis, V_H		0.6	1.3	2.0	V
Logic "1" Input Current (All Inputs), I_{INH}	$V_{IN} = 5V$	-	0.005	1	μA
Logic "0" Input Current (All Inputs), I_{INLO}	$V_{IN} = 0V$	-1	-0.005	-	μA
Supply Current (Includes Ladder Current), $I+$	$f_{CLK} = 640kHz$, $T_A = 25^\circ C$ and $\overline{CS} = HI$	-	1.3	2.5	mA
DATA OUTPUTS AND INTR					
Logic "0" Output Voltage, V_{OL}	$I_O = 1.6mA$, $V+ = 4.75V$	-	-	0.4	V
Logic "1" Output Voltage, V_{OH}	$I_O = -360\mu A$, $V+ = 4.75V$	2.4	-	-	V
Three-State Disabled Output Leakage (All Data Buffers), I_{LO}	$V_{OUT} = 0V$	-3	-	-	μA
	$V_{OUT} = 5V$	-	-	3	μA
Output Short Circuit Current, I_{SOURCE}	V_{OUT} Short to GND, $T_A = 25^\circ C$	4.5	6	-	mA
Output Short Circuit Current, I_{SINK}	V_{OUT} Short to $V+$, $T_A = 25^\circ C$	9.0	16	-	mA

NOTES:

- All voltages are measured with respect to GND, unless otherwise specified. The separate AGND point should always be wired to the DGND, being careful to avoid ground loops.
- For $V_{IN(-)} \geq V_{IN(+)}$ the digital output code will be 0000 0000. Two on-chip diodes are tied to each analog input (see Block Diagram) which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the $V+$ supply. Be careful, during testing at low $V+$ levels (4.5V), as high level analog inputs (5V) can cause this input diode to conduct - especially at elevated temperatures, and cause errors for analog inputs near full scale. As long as the analog V_{IN} does not exceed the supply voltage by more than 50mV, the output code will be correct. To achieve an absolute 0V to 5V input voltage range will therefore require a minimum supply voltage of 4.950V over temperature variations, initial tolerance and loading.
- With $V+ = 6V$, the digital logic interfaces are no longer TTL compatible.
- With an asynchronous start pulse, up to 8 clock periods may be required before the internal clock phases are proper to start the conversion process.
- The \overline{CS} input is assumed to bracket the \overline{WR} strobe input so that timing is dependent on the \overline{WR} pulse width. An arbitrarily wide pulse width will hold the converter in a reset mode and the start of conversion is initiated by the low to high transition of the \overline{WR} pulse (see Timing Diagrams).
- CLK IN (pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately.
- None of these A/Ds requires a zero-adjust. However, if an all zero code is desired for an analog input other than 0V, or if a narrow full scale span exists (for example: 0.5V to 4V full scale) the $V_{IN(-)}$ input can be adjusted to achieve this. See the Zero Error description in this data sheet.

Timing Waveforms

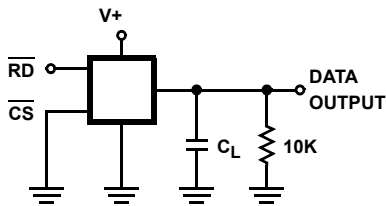


FIGURE 1A. t_{1H}

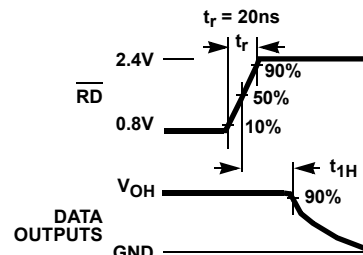


FIGURE 1B. t_{1H} , $C_L = 10pF$

Timing Waveforms (Continued)

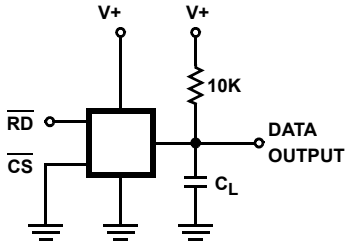


FIGURE 1C. t_{0H}

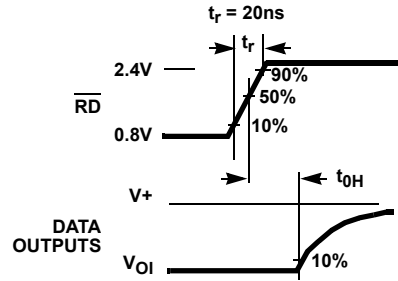


FIGURE 1D. t_{0H} , $C_L = 10\text{pF}$

FIGURE 1. THREE-STATE CIRCUITS AND WAVEFORMS

Typical Performance Curves

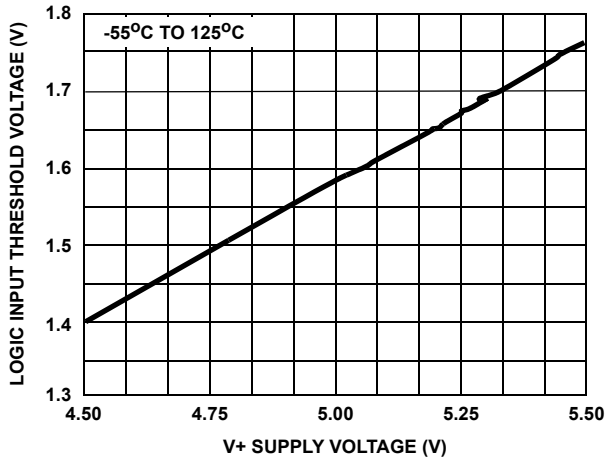


FIGURE 2. LOGIC INPUT THRESHOLD VOLTAGE vs SUPPLY VOLTAGE

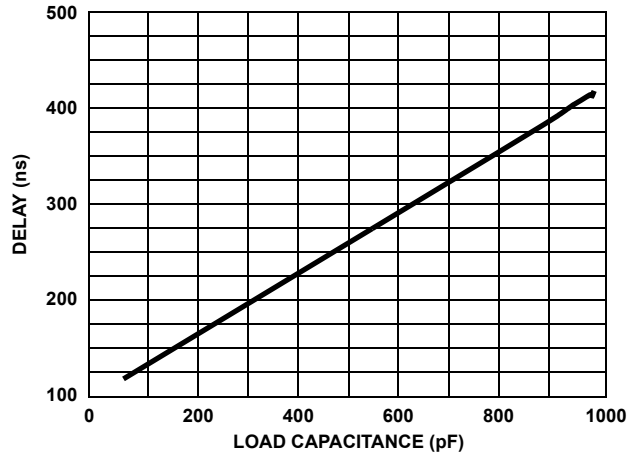


FIGURE 3. DELAY FROM FALLING EDGE OF $\overline{\text{RD}}$ TO OUTPUT DATA VALID vs LOAD CAPACITANCE

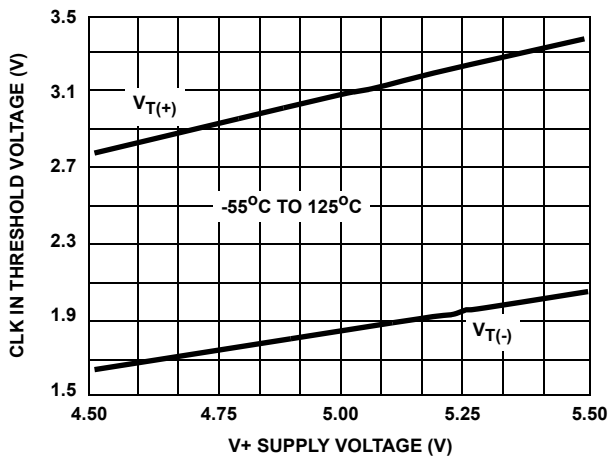


FIGURE 4. CLK IN SCHMITT TRIP LEVELS vs SUPPLY VOLTAGE

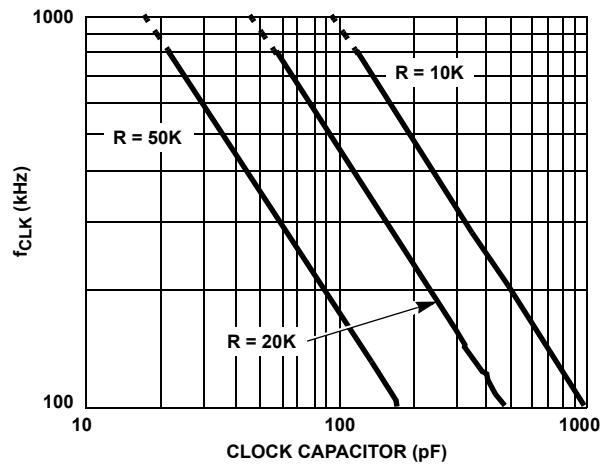


FIGURE 5. f_{CLK} vs CLOCK CAPACITOR

Typical Performance Curves (Continued)

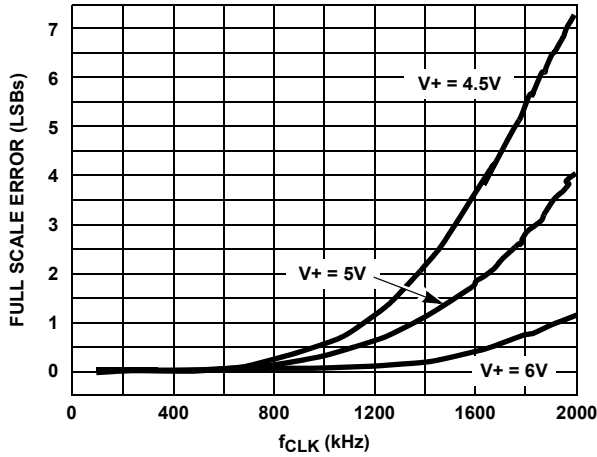


FIGURE 6. FULL SCALE ERROR vs f_{CLK}

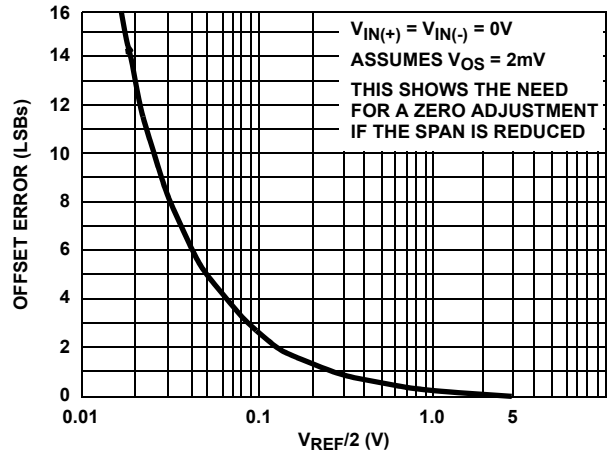


FIGURE 7. EFFECT OF UNADJUSTED OFFSET ERROR

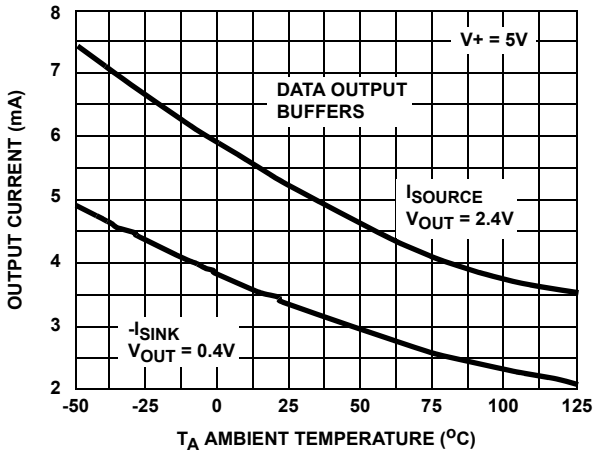


FIGURE 8. OUTPUT CURRENT vs TEMPERATURE

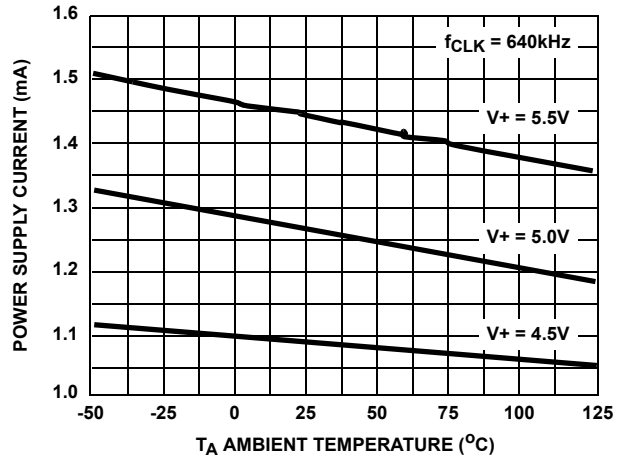


FIGURE 9. POWER SUPPLY CURRENT vs TEMPERATURE

Timing Diagrams

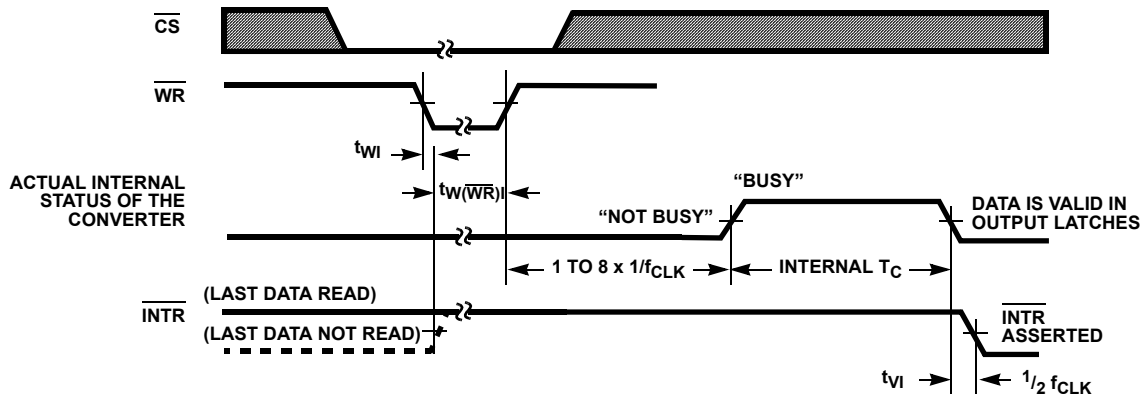


FIGURE 10A. START CONVERSION

Timing Diagrams (Continued)

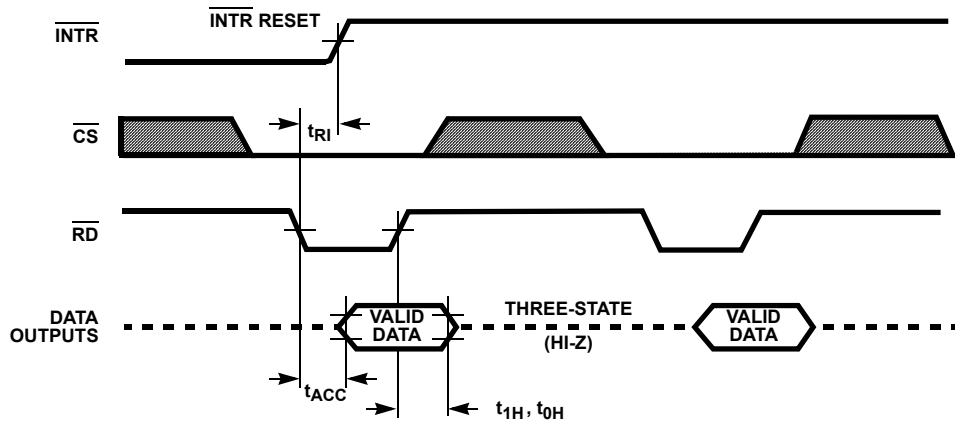


FIGURE 10B. OUTPUT ENABLE AND RESET \overline{INTR}

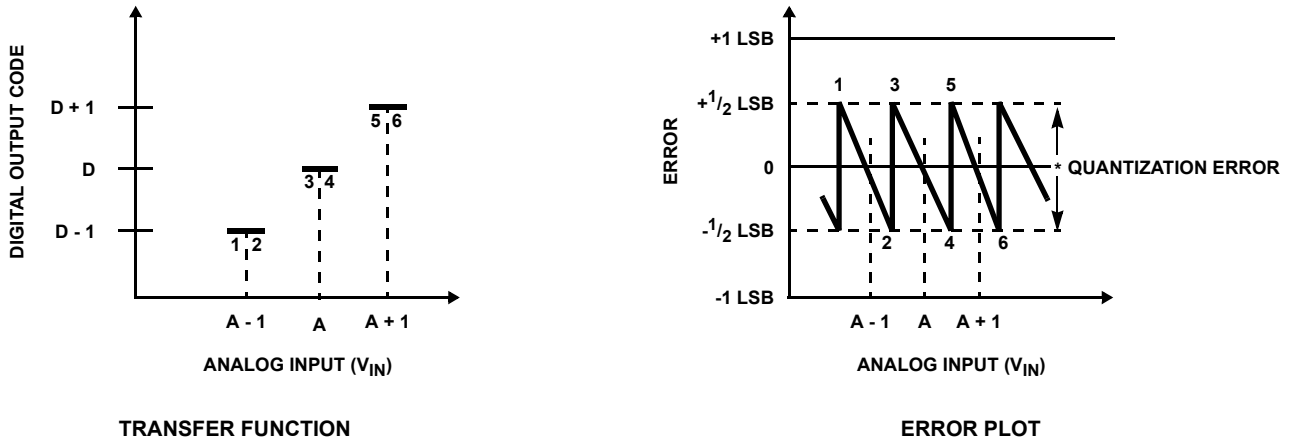


FIGURE 11A. ACCURACY = ± 0 LSB; PERFECT A/D

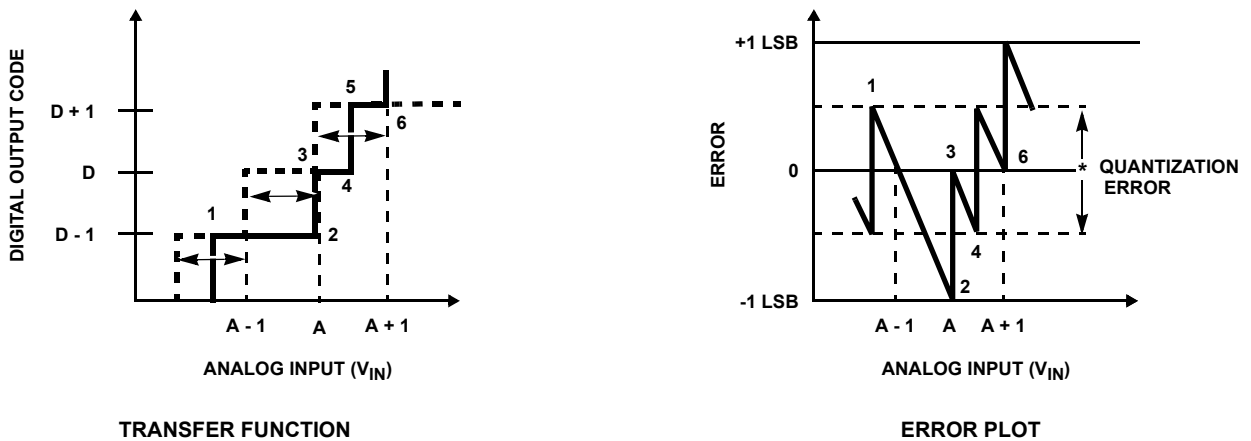


FIGURE 11B. ACCURACY = $\pm 1/2$ LSB

FIGURE 11. CLARIFYING THE ERROR SPECS OF AN A/D CONVERTER

Understanding A/D Error Specs

A perfect A/D transfer characteristic (staircase wave-form) is shown in Figure 11A. The horizontal scale is analog input voltage and the particular points labeled are in steps of 1 LSB (19.53mV with 2.5V tied to the $V_{REF}/2$ pin). The digital output codes which correspond to these inputs are shown as D-1, D, and D+1. For the perfect A/D, not only will center-value (A - 1, A, A + 1, . . .) analog inputs produce the correct output digital codes, but also each riser (the transitions between adjacent output codes) will be located $\pm 1/2$ LSB away from each center-value. As shown, the risers are ideal and have no width. Correct digital output codes will be provided for a range of analog input voltages which extend $\pm 1/2$ LSB from the ideal center-values. Each tread (the range of analog input voltage which provides the same digital output code) is therefore 1 LSB wide.

The error curve of Figure 11B shows the worst case transfer function for the ADC080X. Here the specification guarantees that if we apply an analog input equal to the LSB analog voltage center-value, the A/D will produce the correct digital code.

Next to each transfer function is shown the corresponding error plot. Notice that the error includes the quantization uncertainty of the A/D. For example, the error at point 1 of Figure 11A is $+1/2$ LSB because the digital code appeared $1/2$ LSB in advance of the center-value of the tread. The error plots always have a constant negative slope and the abrupt upside steps are always 1 LSB in magnitude, unless the device has missing codes.

Detailed Description

The functional diagram of the ADC080X series of A/D converters operates on the successive approximation principle (see Application Notes AN016 and AN020 for a more detailed description of this principle). Analog switches are closed sequentially by successive-approximation logic until the analog differential input voltage [$V_{IN(+)} - V_{IN(-)}$] matches a voltage derived from a tapped resistor string across the reference voltage. The most significant bit is tested first and after 8 comparisons (64 clock cycles), an 8-bit binary code (1111 1111 = full scale) is transferred to an output latch.

The normal operation proceeds as follows. On the high-to-low transition of the WR input, the internal SAR latches and the shift-register stages are reset, and the INTR output will be set high. As long as the CS input and WR input remain low, the A/D will remain in a reset state. Conversion will start from 1 to 8 clock periods after at least one of these inputs makes a low-to-high transition. After the requisite number of clock pulses to complete the conversion, the INTR pin will make a high-to-low transition. This can be used to interrupt a processor, or otherwise signal the availability of a new conversion. A RD operation (with CS low) will clear the INTR line high again. The device may be operated in the free-running mode by

connecting INTR to the WR input with CS = 0. To ensure start-up under all possible conditions, an external WR pulse is required during the first power-up cycle. A conversion-in-process can be interrupted by issuing a second start command.

Digital Operation

The converter is started by having CS and WR simultaneously low. This sets the start flip-flop (F/F) and the resulting "1" level resets the 8-bit shift register, resets the Interrupt (INTR) F/F and inputs a "1" to the D flip-flop, DFF1, which is at the input end of the 8-bit shift register. Internal clock signals then transfer this "1" to the Q output of DFF1. The AND gate, G1, combines this "1" output with a clock signal to provide a reset signal to the start F/F. If the set signal is no longer present (either WR or CS is a "1"), the start F/F is reset and the 8-bit shift register then can have the "1" clocked in, which starts the conversion process. If the set signal were to still be present, this reset pulse would have no effect (both outputs of the start F/F would be at a "1" level) and the 8-bit shift register would continue to be held in the reset mode. This allows for asynchronous or wide CS and WR signals.

After the "1" is clocked through the 8-bit shift register (which completes the SAR operation) it appears as the input to DFF2. As soon as this "1" is output from the shift register, the AND gate, G2, causes the new digital word to transfer to the Three-State output latches. When DFF2 is subsequently clocked, the \bar{Q} output makes a high-to-low transition which causes the INTR F/F to set. An inverting buffer then supplies the $\overline{\text{INTR}}$ output signal.

When data is to be read, the combination of both $\overline{\text{CS}}$ and $\overline{\text{RD}}$ being low will cause the INTR F/F to be reset and the three-state output latches will be enabled to provide the 8-bit digital outputs.

Digital Control Inputs

The digital control inputs (CS, RD, and WR) meet standard TTL logic voltage levels. These signals are essentially equivalent to the standard A/D Start and Output Enable control signals, and are active low to allow an easy interface to microprocessor control busses. For non-microprocessor based applications, the CS input (pin 1) can be grounded and the standard A/D Start function obtained by an active low pulse at the WR input (pin 3). The Output Enable function is achieved by an active low pulse at the RD input (pin 2).

Analog Operation

The analog comparisons are performed by a capacitive charge summing circuit. Three capacitors (with precise ratioed values) share a common node with the input to an auto-zeroed comparator. The input capacitor is switched between $V_{IN(+)}$ and $V_{IN(-)}$, while two ratioed reference capacitors are switched between taps on the reference voltage divider string. The net charge corresponds to the weighted difference between the input and the current total value set by the

successive approximation register. A correction is made to offset the comparison by $1/2$ LSB (see Figure 11A).

Analog Differential Voltage Inputs and Common-Mode Rejection

This A/D gains considerable applications flexibility from the analog differential voltage input. The $V_{IN(-)}$ input (pin 7) can be used to automatically subtract a fixed voltage value from the input reading (tare correction). This is also useful in 4mA - 20mA current loop conversion. In addition, common-mode noise can be reduced by use of the differential input.

The time interval between sampling $V_{IN(+)}$ and $V_{IN(-)}$ is $4^{1/2}$ clock periods. The maximum error voltage due to this slight time difference between the input voltage samples is given by:

$$\Delta V_E(\text{MAX}) = (V_{\text{PEAK}})(2\pi f_{\text{CM}}) \left[\frac{4.5}{f_{\text{CLK}}} \right]$$

where:

ΔV_E is the error voltage due to sampling delay,

V_{PEAK} is the peak value of the common-mode voltage,

f_{CM} is the common-mode frequency.

For example, with a 60Hz common-mode frequency, f_{CM} , and a 640kHz A/D clock, f_{CLK} , keeping this error to $1/4$ LSB (~5mV) would allow a common-mode voltage, V_{PEAK} , given by:

$$V_{\text{PEAK}} = \frac{[\Delta V_E(\text{MAX})(f_{\text{CLK}})]}{(2\pi f_{\text{CM}})(4.5)}$$

or

$$V_{\text{PEAK}} = \frac{(5 \times 10^{-3})(640 \times 10^3)}{(6.28)(60)(4.5)} \cong 1.9V$$

The allowed range of analog input voltage usually places more severe restrictions on input common-mode voltage levels than this.

An analog input voltage with a reduced span and a relatively large zero offset can be easily handled by making use of the differential input (see Reference Voltage Span Adjust).

Analog Input Current

The internal switching action causes displacement currents to flow at the analog inputs. The voltage on the on-chip capacitance to ground is switched through the analog differential input voltage, resulting in proportional currents entering the $V_{IN(+)}$ input and leaving the $V_{IN(-)}$ input. These current transients occur at the leading edge of the internal clocks. They rapidly decay and do not inherently cause errors as the on-chip comparator is strobed at the end of the clock period.

Input Bypass Capacitors

Bypass capacitors at the inputs will average these charges and cause a DC current to flow through the output resistances of the analog signal sources. This charge pumping action is worse for continuous conversions with the $V_{IN(+)}$ input voltage at full scale. For a 640kHz clock frequency with the $V_{IN(+)}$

input at 5V, this DC current is at a maximum of approximately 5 μ A. Therefore, **bypass capacitors should not be used at the analog inputs or the $V_{\text{REF}}/2$ pin** for high resistance sources (>1k Ω). If input bypass capacitors are necessary for noise filtering and high source resistance is desirable to minimize capacitor size, the effects of the voltage drop across this input resistance, due to the average value of the input current, can be compensated by a full scale adjustment while the given source resistor and input bypass capacitor are both in place. This is possible because the average value of the input current is a precise linear function of the differential input voltage at a constant conversion rate.

Input Source Resistance

Large values of source resistance where an input bypass capacitor is not used will not cause errors since the input currents settle out prior to the comparison time. If a low-pass filter is required in the system, use a low-value series resistor ($\leq 1\text{k}\Omega$) for a passive RC section or add an op amp RC active low-pass filter. For low-source-resistance applications ($\leq 1\text{k}\Omega$), a 0.1 μ F bypass capacitor at the inputs will minimize EMI due to the series lead inductance of a long wire. A 100 Ω series resistor can be used to isolate this capacitor (both the R and C are placed outside the feedback loop) from the output of an op amp, if used.

Stray Pickup

The leads to the analog inputs (pins 6 and 7) should be kept as short as possible to minimize stray signal pickup (EMI). Both EMI and undesired digital-clock coupling to these inputs can cause system errors. The source resistance for these inputs should, in general, be kept below 5k Ω . Larger values of source resistance can cause undesired signal pickup. Input bypass capacitors, placed from the analog inputs to ground, will eliminate this pickup but can create analog scale errors as these capacitors will average the transient input switching currents of the A/D (see Analog Input Current). This scale error depends on both a large source resistance and the use of an input bypass capacitor. This error can be compensated by a full scale adjustment of the A/D (see Full Scale Adjustment) with the source resistance and input bypass capacitor in place, and the desired conversion rate.

Reference Voltage Span Adjust

For maximum application flexibility, these A/Ds have been designed to accommodate a 5V, 2.5V or an adjusted voltage reference. This has been achieved in the design of the IC as shown in Figure 12.

Notice that the reference voltage for the IC is either $1/2$ of the voltage which is applied to the $V+$ supply pin, or is equal to the voltage which is externally forced at the $V_{\text{REF}}/2$ pin. This allows for a pseudo-ratiometric voltage reference using, for the $V+$ supply, a 5V reference voltage. Alternatively, a voltage less than 2.5V can be applied to the $V_{\text{REF}}/2$ input. The internal gain to the $V_{\text{REF}}/2$ input is 2 to allow this factor of 2 reduction in the reference voltage.

Such an adjusted reference voltage can accommodate a reduced span or dynamic voltage range of the analog input voltage. If the analog input voltage were to range from 0.5V to 3.5V, instead of 0V to 5V, the span would be 3V. With 0.5V applied to the $V_{IN(-)}$ pin to absorb the offset, the reference voltage can be made equal to $1/2$ of the 3V span or 1.5V. The A/D now will encode the $V_{IN(+)}$ signal from 0.5V to 3.5V with the 0.5V input corresponding to zero and the 3.5V input corresponding to full scale. The full 8 bits of resolution are therefore applied over this reduced analog input voltage range. The requisite connections are shown in Figure 13. For expanded scale inputs, the circuits of Figures 14 and 15 can be used.

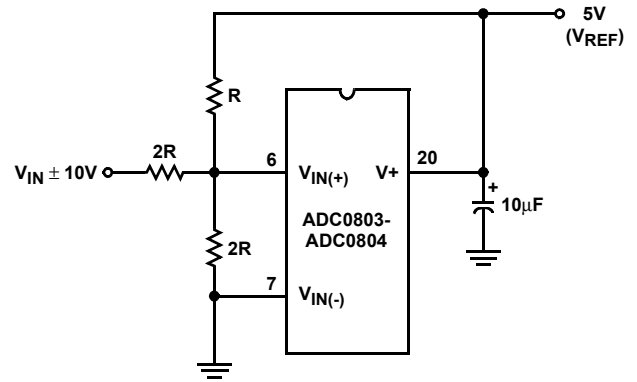


FIGURE 14. HANDLING $\pm 10V$ ANALOG INPUT RANGE

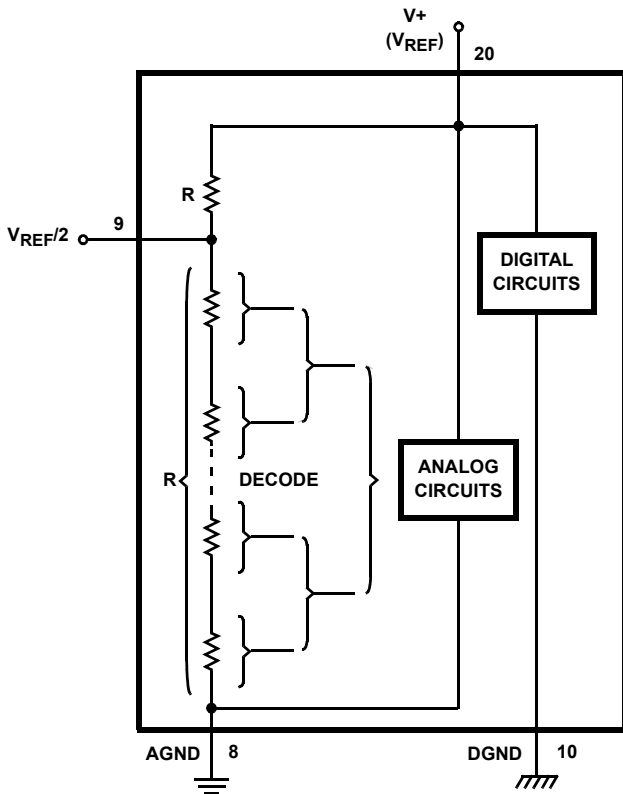


FIGURE 12. THE $V_{REFERENCE}$ DESIGN ON THE IC

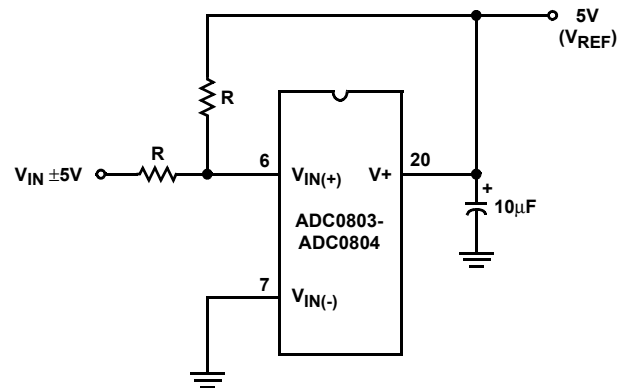


FIGURE 15. HANDLING $\pm 5V$ ANALOG INPUT RANGE

Reference Accuracy Requirements

The converter can be operated in a pseudo-ratiometric mode or an absolute mode. In ratiometric converter applications, the magnitude of the reference voltage is a factor in both the output of the source transducer and the output of the A/D converter and therefore cancels out in the final digital output code. In absolute conversion applications, both the initial value and the temperature stability of the reference voltage are important accuracy factors in the operation of the A/D converter. For $V_{REF}/2$ voltages of 2.5V nominal value, initial errors of $\pm 10mV$ will cause conversion errors of ± 1 LSB due to the gain of 2 of the $V_{REF}/2$ input. In reduced span applications, the initial value and the stability of the $V_{REF}/2$ input voltage become even more important. For example, if the span is reduced to 2.5V, the analog input LSB voltage value is correspondingly reduced from 20mV (5V span) to 10mV and 1 LSB at the $V_{REF}/2$ input becomes 5mV. As can be seen, this reduces the allowed initial tolerance of the reference voltage and requires correspondingly less absolute change with temperature variations. Note that spans smaller than 2.5V place even tighter requirements on the initial accuracy and stability of the reference source.

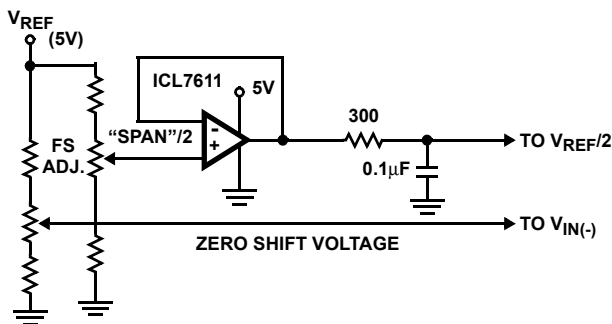


FIGURE 13. OFFSETTING THE ZERO OF THE ADC080X AND PERFORMING AN INPUT RANGE (SPAN) ADJUSTMENT

In general, the reference voltage will require an initial adjustment. Errors due to an improper value of reference voltage appear as full scale errors in the A/D transfer

function. IC voltage regulators may be used for references if the ambient temperature changes are not excessive.

Zero Error

The zero of the A/D does not require adjustment. If the minimum analog input voltage value, $V_{IN(MIN)}$, is not ground, a zero offset can be done. The converter can be made to output 0000 0000 digital code for this minimum input voltage by biasing the A/D $V_{IN(-)}$ input at this $V_{IN(MIN)}$ value (see Applications section). This utilizes the differential mode operation of the A/D.

The zero error of the A/D converter relates to the location of the first riser of the transfer function and can be measured by grounding the $V_{IN(-)}$ input and applying a small magnitude positive voltage to the $V_{IN(+)}$ input. Zero error is the difference between the actual DC input voltage which is necessary to just cause an output digital code transition from 0000 0000 to 0000 0001 and the ideal $1/2$ LSB value ($1/2$ LSB = 9.8mV for $V_{REF}/2 = 2.500V$).

Full Scale Adjust

The full scale adjustment can be made by applying a differential input voltage which is $1 1/2$ LSB down from the desired analog full scale voltage range and then adjusting the magnitude of the $V_{REF}/2$ input (pin 9) for a digital output code which is just changing from 1111 1110 to 1111 1111. When offsetting the zero and using a span-adjusted $V_{REF}/2$ voltage, the full scale adjustment is made by inputting V_{MIN} to the $V_{IN(-)}$ input of the A/D and applying a voltage to the $V_{IN(+)}$ input which is given by:

$$V_{IN(+)} f_{SADJ} = V_{MAX} - 1.5 \left[\frac{(V_{MAX} - V_{MIN})}{256} \right],$$

where:

V_{MAX} = the high end of the analog input range, and

V_{MIN} = the low end (the offset zero) of the analog range. (Both are ground referenced.)

Clocking Option

The clock for the A/D can be derived from an external source such as the CPU clock or an external RC network can be added to provide self-clocking. The CLK IN (pin 4) makes use of a Schmitt trigger as shown in Figure 16.

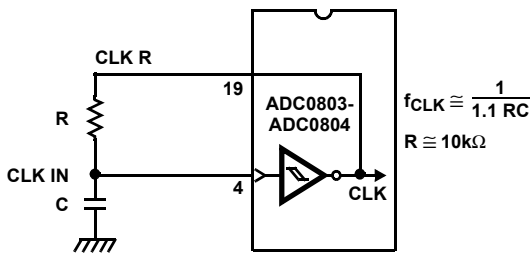


FIGURE 16. SELF-CLOCKING THE A/D

Heavy capacitive or DC loading of the CLK R pin should be avoided as this will disturb normal converter operation.

Loads less than 50pF, such as driving up to 7 A/D converter clock inputs from a single CLK R pin of 1 converter, are allowed. For larger clock line loading, a CMOS or low power TTL buffer or PNP input logic should be used to minimize the loading on the CLK R pin (do not use a standard TTL buffer).

Restart During a Conversion

If the A/D is restarted (\overline{CS} and \overline{WR} go low and return high) during a conversion, the converter is reset and a new conversion is started. The output data latch is not updated if the conversion in progress is not completed. The data from the previous conversion remain in this latch.

Continuous Conversions

In this application, the \overline{CS} input is grounded and the \overline{WR} input is tied to the \overline{INTR} output. This \overline{WR} and \overline{INTR} node should be momentarily forced to logic low following a power-up cycle to insure circuit operation. See Figure 17 for details.

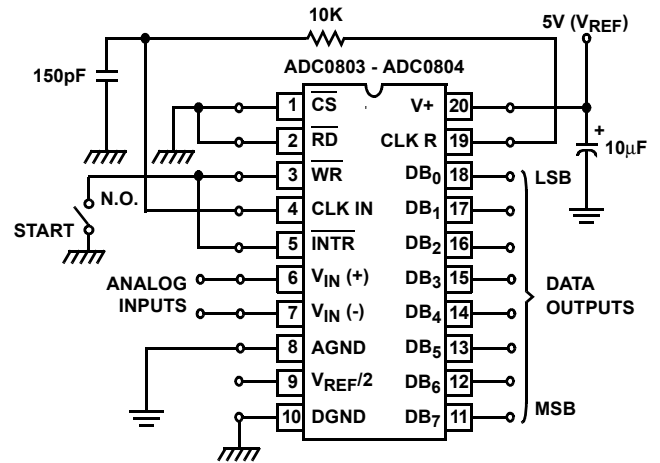


FIGURE 17. FREE-RUNNING CONNECTION

Driving the Data Bus

This CMOS A/D, like MOS microprocessors and memories, will require a bus driver when the total capacitance of the data bus gets large. Other circuitry, which is tied to the data bus, will add to the total capacitive loading, even in three-state (high-impedance mode). Back plane busing also greatly adds to the stray capacitance of the data bus.

There are some alternatives available to the designer to handle this problem. Basically, the capacitive loading of the data bus slows down the response time, even though DC specifications are still met. For systems operating with a relatively slow CPU clock frequency, more time is available in which to establish proper logic levels on the bus and therefore higher capacitive loads can be driven (see Typical Performance Curves).

At higher CPU clock frequencies time can be extended for I/O reads (and/or writes) by inserting wait states (8080) or using clock-extending circuits (6800).

Finally, if time is short and capacitive loading is high, external bus drivers must be used. These can be three-state buffers (low power Schottky is recommended, such as the 74LS240 series) or special higher-drive-current products which are designed as bus drivers. High-current bipolar bus drivers with PNP inputs are recommended.

Power Supplies

Noise spikes on the V+ supply line can cause conversion errors as the comparator will respond to this noise. A low-inductance tantalum filter capacitor should be used close to the converter V+ pin, and values of 1µF or greater are recommended. If an unregulated voltage is available in the system, a separate 5V voltage regulator for the converter (and other analog circuitry) will greatly reduce digital noise on the V+ supply. An ICL7663 can be used to regulate such a supply from an input as low as 5.2V.

Wiring and Hook-Up Precautions

Standard digital wire-wrap sockets are not satisfactory for breadboarding with this A/D converter. Sockets on PC boards can be used. All logic signal wires and leads should be grouped and kept as far away as possible from the analog signal leads. Exposed leads to the analog inputs can cause undesired digital noise and hum pickup; therefore, shielded leads may be necessary in many applications.

A single-point analog ground should be used which is separate from the logic ground points. The power supply bypass capacitor and the self-clocking capacitor (if used) should both be returned to digital ground. Any V_{REF/2} bypass capacitors, analog input filter capacitors, or input signal shielding should be returned to the analog ground point. A test for proper grounding is to measure the zero error of the A/D converter. Zero errors in excess of 1/4 LSB can usually be traced to improper board layout and wiring (see Zero Error for measurement). Further information can be found in Application Note AN018.

Testing the A/D Converter

There are many degrees of complexity associated with testing an A/D converter. One of the simplest tests is to apply a known analog input voltage to the converter and use LEDs to display the resulting digital output code as shown in Figure 18.

For ease of testing, the V_{REF/2} (pin 9) should be supplied with 2.560V and a V+ supply voltage of 5.12V should be used. This provides an LSB value of 20mV.

If a full scale adjustment is to be made, an analog input voltage of 5.090V (5.120 - 1 1/2 LSB) should be applied to the V_{IN(+)} pin with the V_{IN(-)} pin grounded. The value of the V_{REF/2} input voltage should be adjusted until the digital output code is just changing from 1111 1110 to 1111 1111. This value of V_{REF/2} should then be used for all the tests.

The digital-output LED display can be decoded by dividing the 8 bits into 2 hex characters, one with the 4 most-

significant bits (MS) and one with the 4 least-significant bits (LS). The output is then interpreted as a sum of fractions times the full scale voltage:

$$V_{OUT} = \left(\frac{MS}{16} + \frac{LS}{256} \right) (5.12)V.$$

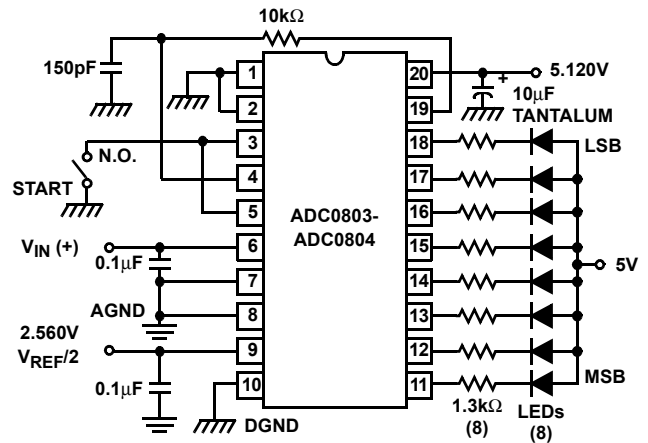


FIGURE 18. BASIC TESTER FOR THE A/D

For example, for an output LED display of 1011 0110, the MS character is hex B (decimal 11) and the LS character is hex (and decimal) 6, so:

$$V_{OUT} = \left(\frac{11}{16} + \frac{6}{256} \right) (5.12) = 3.64V.$$

Figures 19 and 20 show more sophisticated test circuits.

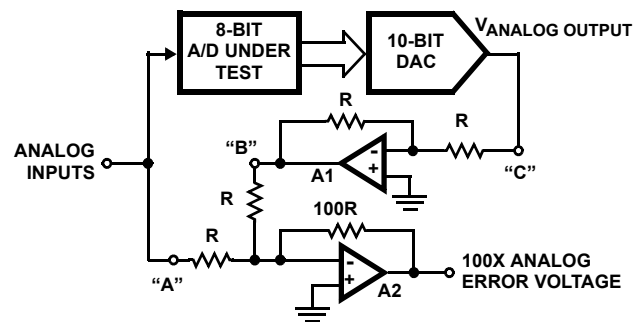


FIGURE 19. A/D TESTER WITH ANALOG ERROR OUTPUT. THIS CIRCUIT CAN BE USED TO GENERATE "ERROR PLOTS" OF FIGURE 11.

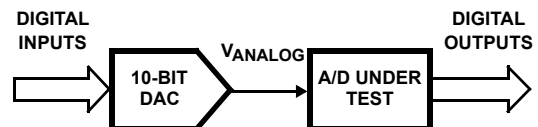


FIGURE 20. BASIC "DIGITAL" A/D TESTER

Typical Applications

Interfacing 8080/85 or Z-80 Microprocessors

This converter has been designed to directly interface with 8080/85 or Z-80 Microprocessors. The three-state output capability of the A/D eliminates the need for a peripheral interface device, although address decoding is still required to generate the appropriate \overline{CS} for the converter. The A/D can be mapped into memory space (using standard memory-address decoding for \overline{CS} and the \overline{MEMR} and \overline{MEMW} strobes) or it can be controlled as an I/O device by using the $\overline{I/OR}$ and $\overline{I/OW}$ strobes and decoding the address bits A0 → A7 (or address bits A8 → A15, since they will contain the same 8-bit address information) to obtain the \overline{CS} input. Using the I/O space provides 256 additional addresses and may allow a simpler 8-bit address decoder, but the data can only be input to the accumulator. To make use of the additional memory reference instructions, the A/D should be mapped into memory space. See AN020 for more discussion of memory-mapped vs I/O-mapped interfaces. An example of an A/D in I/O space is shown in Figure 21.

The standard control-bus signals of the 8080 (\overline{CS} , \overline{RD} and \overline{WR}) can be directly wired to the digital control inputs of the A/D, since the bus timing requirements, to allow both starting the converter, and outputting the data onto the data bus, are met. A bus driver should be used for larger microprocessor systems where the data bus leaves the PC board and/or must drive capacitive loads larger than 100pF.

It is useful to note that in systems where the A/D converter is 1 of 8 or fewer I/O-mapped devices, no address-decoding circuitry is necessary. Each of the 8 address bits (A0 to A7) can be directly used as \overline{CS} inputs, one for each I/O device.

Interfacing the Z-80 and 8085

The Z-80 and 8085 control buses are slightly different from that of the 8080. General \overline{RD} and \overline{WR} strobes are provided and separate memory request, \overline{MREQ} , and I/O request, \overline{IORQ} , signals have to be combined with the generalized strobes to provide the appropriate signals. An advantage of operating the A/D in I/O space with the Z-80 is that the CPU will automatically insert one wait state (the \overline{RD} and \overline{WR} strobes are extended one clock period) to allow more time for the I/O devices to respond. Logic to map the A/D in I/O space is shown in Figure 22. By using \overline{MREQ} in place of \overline{IORQ} , a memory-mapped configuration results.

Additional I/O advantages exist as software DMA routines are available and use can be made of the output data transfer which exists on the upper 8 address lines (A8 to A15) during I/O input instructions. For example, MUX channel selection for the A/D can be accomplished with this operating mode.

The 8085 also provides a generalized \overline{RD} and \overline{WR} strobe, with an $\overline{IO/M}$ line to distinguish I/O and memory requests. The circuit of Figure 22 can again be used, with $\overline{IO/M}$ in place of \overline{IORQ} for a memory-mapped interface, and an extra inverter (or the logic equivalent) to provide $\overline{IO/M}$ for an I/O-mapped connection.

Interfacing 6800 Microprocessor Derivatives (6502, etc.)

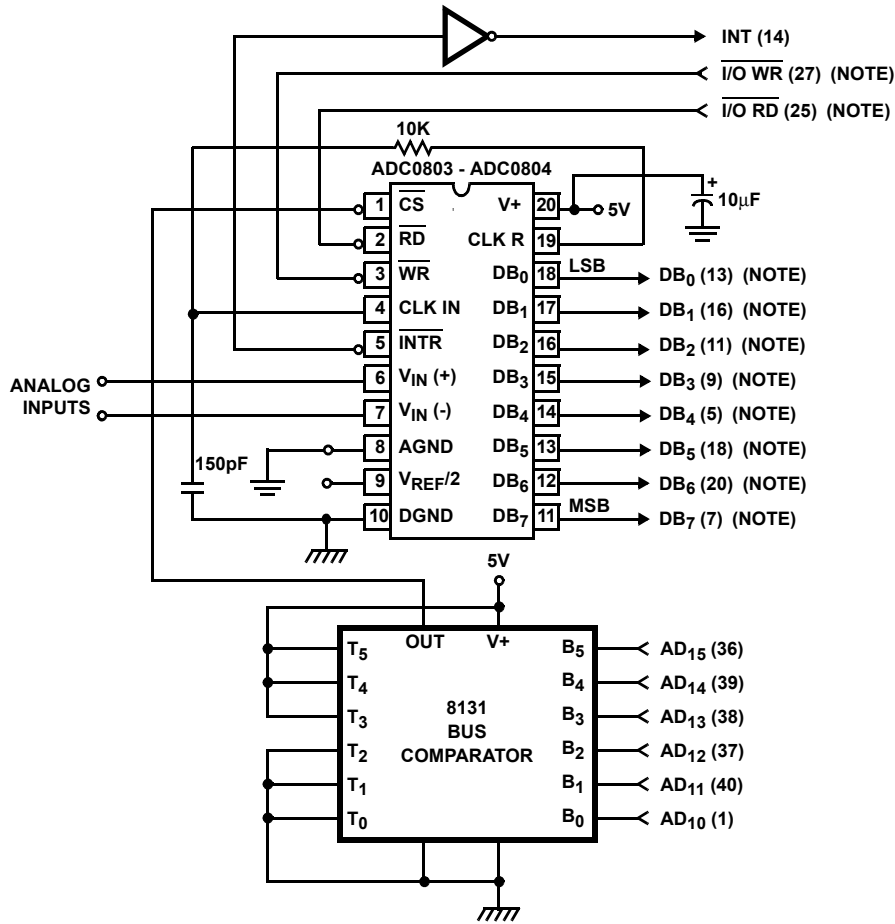
The control bus for the 6800 microprocessor derivatives does not use the RD and WR strobe signals. Instead it employs a single R/W line and additional timing, if needed, can be derived from the $\phi 2$ clock. All I/O devices are memory-mapped in the 6800 system, and a special signal, VMA, indicates that the current address is valid. Figure 23 shows an interface schematic where the A/D is memory-mapped in the 6800 system. For simplicity, the CS decoding is shown using $1/2$ DM8092. Note that in many 6800 systems, an already decoded $4/5$ line is brought out to the common bus at pin 21. This can be tied directly to the CS pin of the A/D, provided that no other devices are addressed at HEX ADDR: 4XXX or 5XXX.

In Figure 24 the ADC080X series is interfaced to the MC6800 microprocessor through (the arbitrarily chosen) Port B of the MC6820 or MC6821 Peripheral Interface Adapter (PIA). Here the CS pin of the A/D is grounded since the PIA is already memory-mapped in the MC6800 system and no CS decoding is necessary. Also notice that the A/D output data lines are connected to the microprocessor bus under program control through the PIA and therefore the A/D RD pin can be grounded.

Application Notes

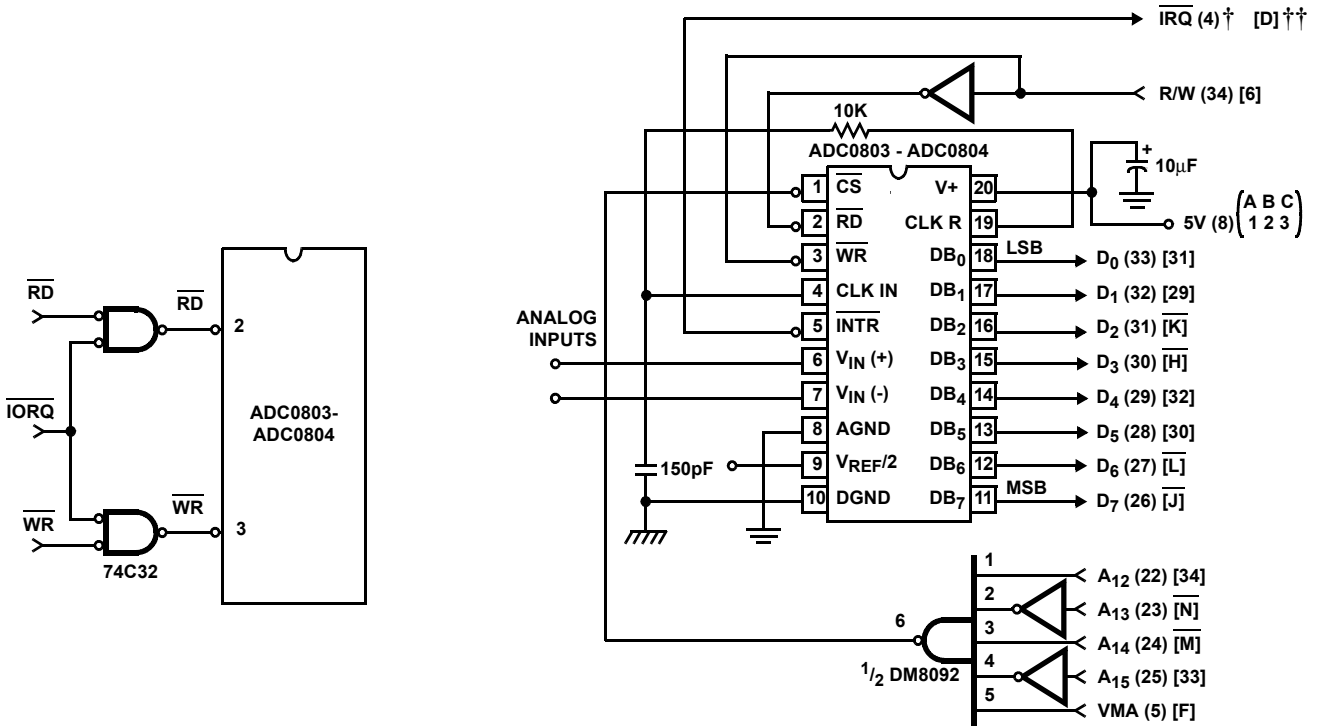
NOTE #	DESCRIPTION
AN016	"Selecting A/D Converters"
AN018	"Do's and Don'ts of Applying A/D Converters"
AN020	"A Cookbook Approach to High Speed Data Acquisition and Microprocessor Interfacing"
AN030	"The ICL7104 - A Binary Output A/D Converter for Microprocessors"

ADC0803, ADC0804



NOTE: Pin numbers for 8228 System Controller: Others are 8080A.

FIGURE 21. ADC080X TO 8080A CPU INTERFACE



† Numbers in parentheses refer to MC6800 CPU Pinout.
 †† Numbers or letters in brackets refer to standard MC6800 System Common Bus Code.

FIGURE 22. MAPPING THE A/D AS AN I/O DEVICE FOR USE WITH THE Z-80 CPU

FIGURE 23. ADC080X TO MC6800 CPU INTERFACE

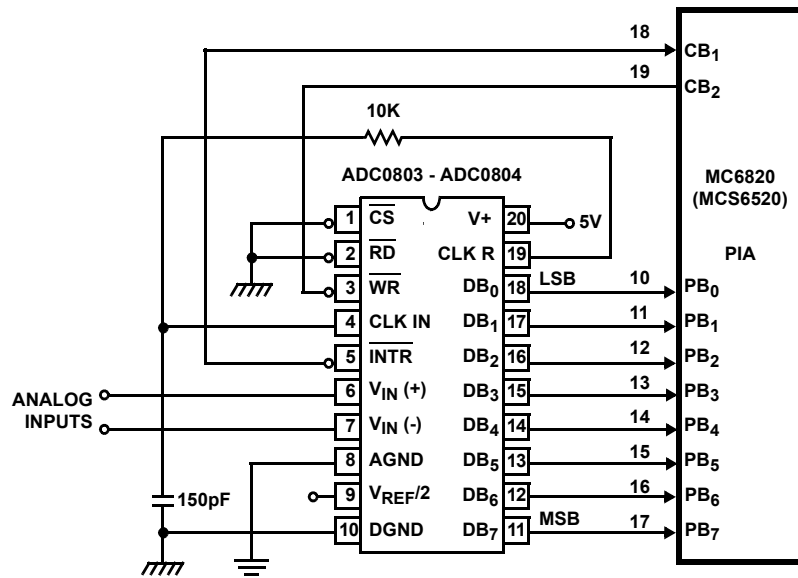


FIGURE 24. ADC080X TO MC6820 PIA INTERFACE

Die Characteristics

DIE DIMENSIONS

101 mils x 93 mils

METALLIZATION

Type: Al

Thickness: $10k\text{\AA} \pm 1k\text{\AA}$

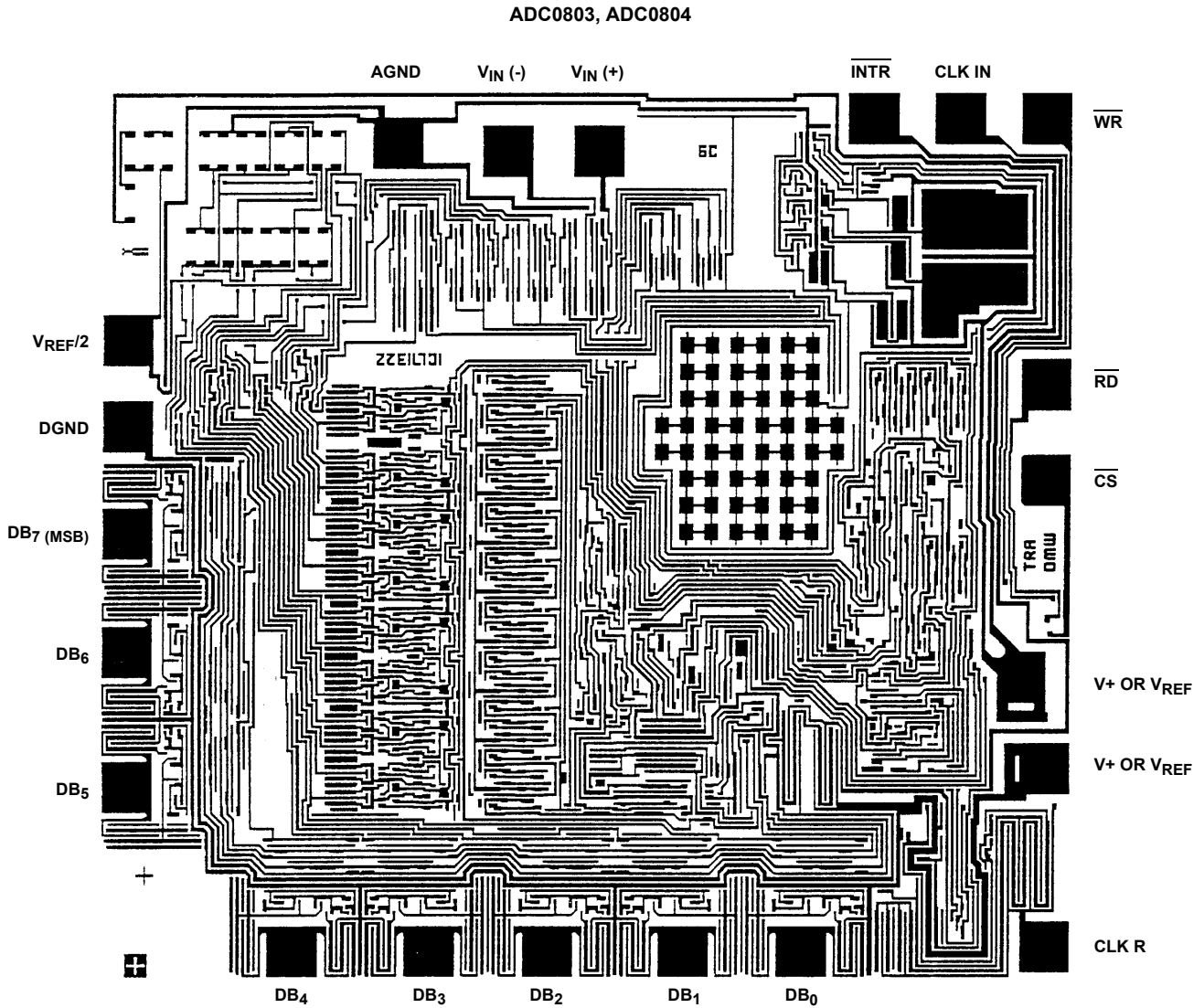
PASSIVATION

Type: Nitride over Silox

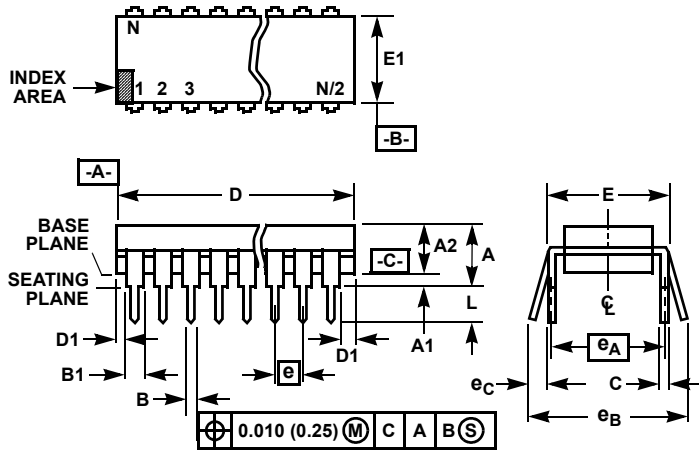
Nitride Thickness: $8k\text{\AA}$

Silox Thickness: $7k\text{\AA}$

Metallization Mask Layout



Dual-In-Line Plastic Packages (PDIP)



NOTES:

- Controlling Dimensions: INCH. In case of conflict between English and Metric dimensions, the inch dimensions control.
- Dimensioning and tolerancing per ANSI Y14.5M-1982.
- Symbols are defined in the "MO Series Symbol List" in Section 2.2 of Publication No. 95.
- Dimensions A, A1 and L are measured with the package seated in JEDEC seating plane gauge GS-3.
- D, D1, and E1 dimensions do not include mold flash or protrusions. Mold flash or protrusions shall not exceed 0.010 inch (0.25mm).
- E and e_A are measured with the leads constrained to be perpendicular to datum $-C-$.
- e_B and e_C are measured at the lead tips with the leads unconstrained. e_C must be zero or greater.
- B1 maximum dimensions do not include dambar protrusions. Dambar protrusions shall not exceed 0.010 inch (0.25mm).
- N is the maximum number of terminal positions.
- Corner leads (1, N, N/2 and N/2 + 1) for E8.3, E16.3, E18.3, E28.3, E42.6 will have a B1 dimension of 0.030 - 0.045 inch (0.76 - 1.14mm).

E20.3 (JEDEC MS-001-AD ISSUE D)
20 LEAD DUAL-IN-LINE PLASTIC PACKAGE

SYMBOL	INCHES		MILLIMETERS		NOTES
	MIN	MAX	MIN	MAX	
A	-	0.210	-	5.33	4
A1	0.015	-	0.39	-	4
A2	0.115	0.195	2.93	4.95	-
B	0.014	0.022	0.356	0.558	-
B1	0.045	0.070	1.55	1.77	8
C	0.008	0.014	0.204	0.355	-
D	0.980	1.060	24.89	26.9	5
D1	0.005	-	0.13	-	5
E	0.300	0.325	7.62	8.25	6
E1	0.240	0.280	6.10	7.11	5
e	0.100 BSC		2.54 BSC		-
e_A	0.300 BSC		7.62 BSC		6
e_B	-	0.430	-	10.92	7
L	0.115	0.150	2.93	3.81	4
N	20		20		9

Rev. 0 12/93

All Intersil products are manufactured, assembled and tested utilizing ISO9000 quality systems. Intersil Corporation's quality certifications can be viewed at website www.intersil.com/quality/iso.asp.

Intersil products are sold by description only. Intersil Corporation reserves the right to make changes in circuit design and/or specifications at any time without notice. Accordingly, the reader is cautioned to verify that data sheets are current before placing orders. Information furnished by Intersil is believed to be accurate and reliable. However, no responsibility is assumed by Intersil or its subsidiaries for its use; nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Intersil or its subsidiaries.

For information regarding Intersil Corporation and its products, see web site www.intersil.com

74HC165; 74HCT165

8-bit parallel-in/serial out shift register

Rev. 5 — 21 August 2017

Product data sheet

1 General description

The 74HC165; 74HCT165 are 8-bit serial or parallel-in/serial-out shift registers. The device features a serial data input (DS), eight parallel data inputs (D0 to D7) and two complementary serial outputs (Q7 and $\overline{Q7}$). When the parallel load input (\overline{PL}) is LOW the data from D0 to D7 is loaded into the shift register asynchronously. When \overline{PL} is HIGH data enters the register serially at DS. When the clock enable input (\overline{CE}) is LOW data is shifted on the LOW-to-HIGH transitions of the CP input. A HIGH on \overline{CE} will disable the CP input. Inputs are overvoltage tolerant to 15 V. This enables the device to be used in HIGH-to-LOW level shifting applications.

2 Features and benefits

- Asynchronous 8-bit parallel load
- Synchronous serial input
- Complies with JEDEC standard no. 7A
- Input levels:
 - For 74HC165: CMOS level
 - For 74HCT165: TTL level
- ESD protection:
 - HBM JESD22-A114F exceeds 2000 V
 - MM JESD22-A115-A exceeds 200 V
- Specified from -40 °C to +85 °C and from -40 °C to +125 °C

3 Applications

- Parallel-to-serial data conversion

4 Ordering information

Table 1. Ordering information

Type number	Package			Version
	Temperature range	Name	Description	
74HC165D	-40 °C to +125 °C	SO16	plastic small outline package; 16 leads; body width 3.9 mm	SOT109-1
74HCT165D				
74HC165DB	-40 °C to +125 °C	SSOP16	plastic shrink small outline package; 16 leads; body width 5.3 mm	SOT338-1
74HCT165DB				
74HC165PW	-40 °C to +125 °C	TSSOP16	plastic thin shrink small outline package; 16 leads; body width 4.4 mm	SOT403-1
74HCT165PW				
74HC165BQ	-40 °C to +125 °C	DHVQFN16	plastic dual in-line compatible thermal enhanced very thin quad flat package; no leads; 16 terminals; body 2.5 × 3.5 × 0.85 mm	SOT763-1
74HCT165BQ				

5 Functional diagram

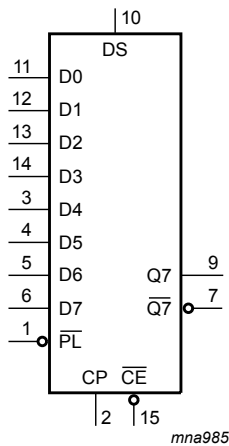


Figure 1. Logic symbol

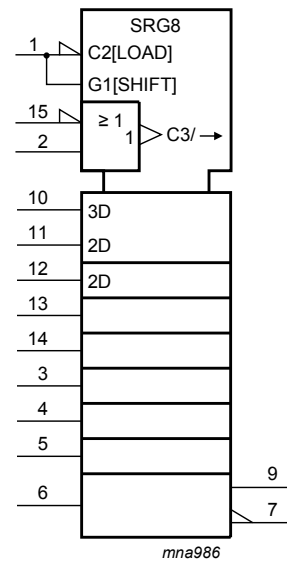


Figure 2. IEC logic symbol

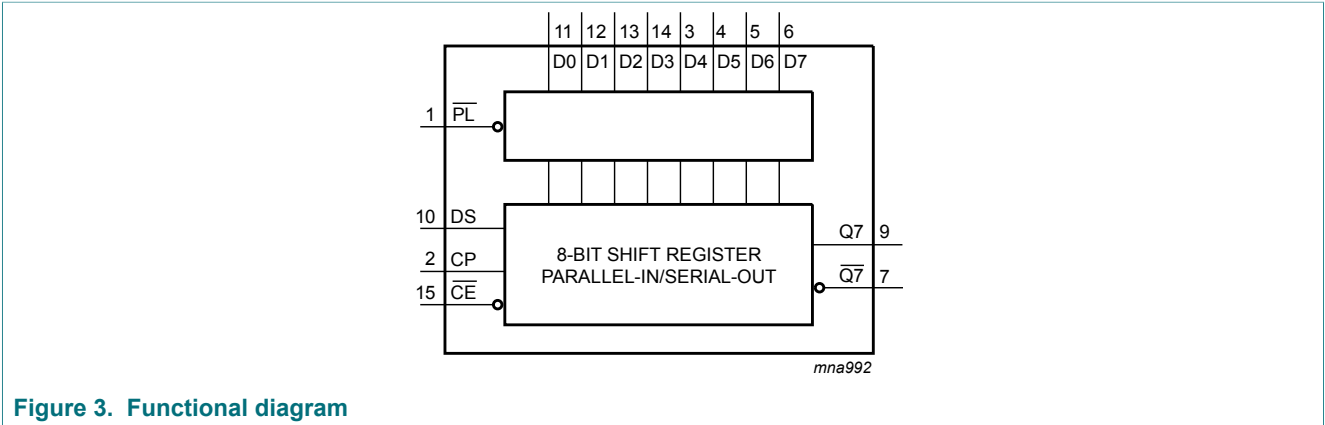


Figure 3. Functional diagram

6 Pinning information

6.1 Pinning

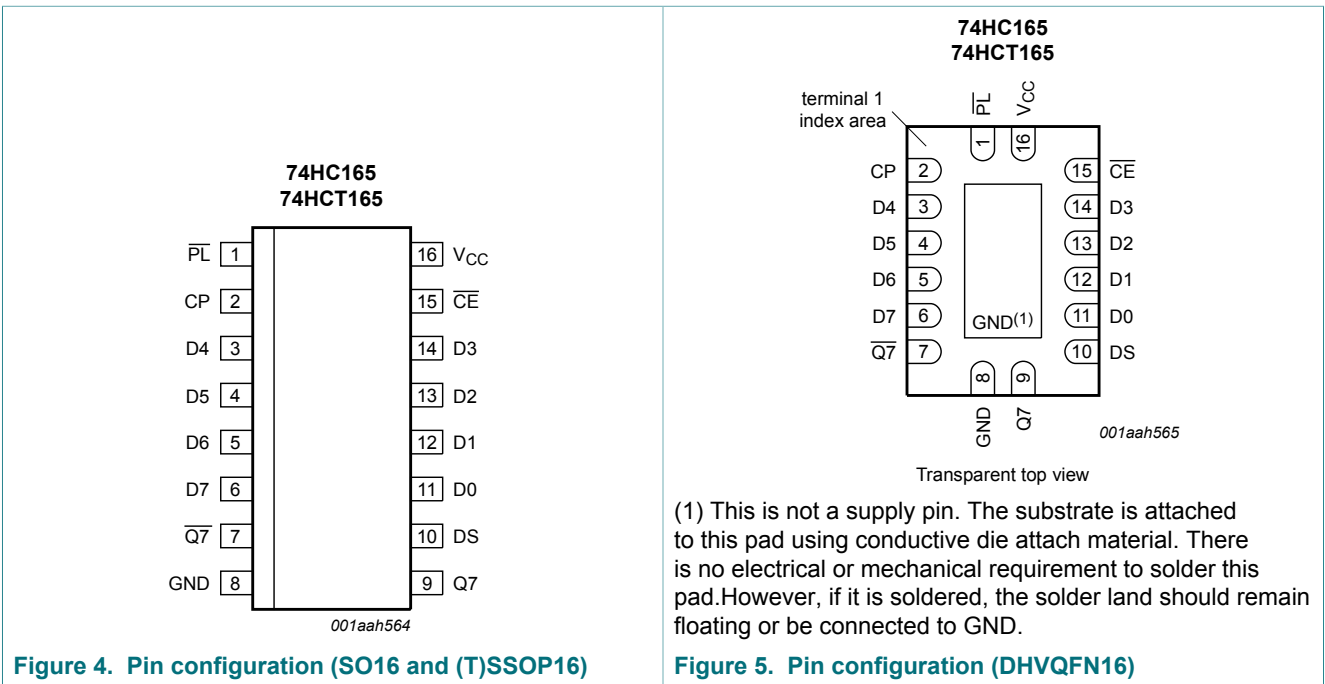


Figure 4. Pin configuration (SO16 and (T)SSOP16)

Figure 5. Pin configuration (DHVQFN16)

6.2 Pin description

Table 2. Pin description

Symbol	Pin	Description
$\overline{\text{PL}}$	1	asynchronous parallel load input (active LOW)
CP	2	clock input (LOW-to-HIGH edge-triggered)
$\overline{\text{Q7}}$	7	complementary output from the last stage
GND	8	ground (0 V)
Q7	9	serial output from the last stage
DS	10	serial data input
D0 to D7	11, 12, 13, 14, 3, 4, 5, 6	parallel data inputs (also referred to as D _n)
$\overline{\text{CE}}$	15	clock enable input (active LOW)
V _{CC}	16	positive supply voltage

7 Functional description

Table 3. Function table ^[1]

Operating modes	Inputs					Q _n registers		Outputs	
	$\overline{\text{PL}}$	$\overline{\text{CE}}$	CP	DS	D0 to D7	Q0	Q1 to Q6	Q7	$\overline{\text{Q7}}$
parallel load	L	X	X	X	L	L	L to L	L	H
	L	X	X	X	H	H	H to H	H	L
serial shift	H	L	↑	l	X	L	q0 to q5	q6	$\overline{\text{q6}}$
	H	L	↑	h	X	H	q0 to q5	q6	$\overline{\text{q6}}$
	H	↑	L	l	X	L	q0 to q5	q6	$\overline{\text{q6}}$
	H	↑	L	h	X	H	q0 to q5	q6	$\overline{\text{q6}}$
hold "do nothing"	H	H	X	X	X	q0	q1 to q6	q7	$\overline{\text{q7}}$
	H	X	H	X	X	q0	q1 to q6	q7	$\overline{\text{q7}}$

- [1] H = HIGH voltage level;
 h = HIGH voltage level one set-up time prior to the LOW-to-HIGH clock transition;
 L = LOW voltage level;
 l = LOW voltage level one set-up time prior to the LOW-to-HIGH clock transition;
 q = state of the referenced output one set-up time prior to the LOW-to-HIGH clock transition;
 X = don't care;
 ↑ = LOW-to-HIGH clock transition.

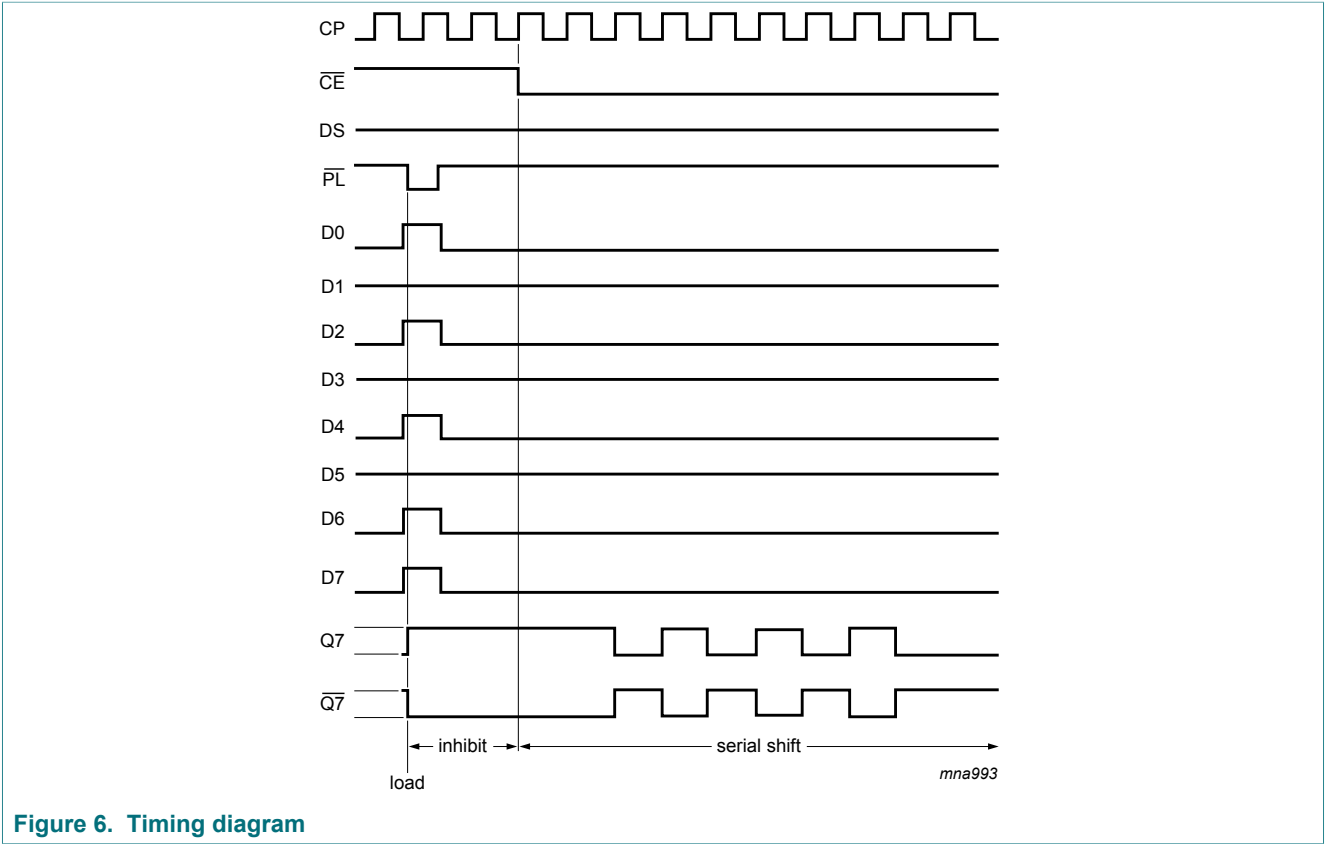


Figure 6. Timing diagram

8 Limiting values

Table 4. Limiting values

In accordance with the Absolute Maximum Rating System (IEC 60134). Voltages are referenced to GND (ground = 0 V)

Symbol	Parameter	Conditions	Min	Max	Unit
V_{CC}	supply voltage		-0.5	+7	V
I_{IK}	input clamping current	$V_I < -0.5\text{ V}$ or $V_I > V_{CC} + 0.5\text{ V}$ [1]	-	± 20	mA
I_{OK}	output clamping current	$V_O < -0.5\text{ V}$ or $V_O > V_{CC} + 0.5\text{ V}$ [1]	-	± 20	mA
I_O	output current	$-0.5\text{ V} < V_O < V_{CC} + 0.5\text{ V}$	-	± 25	mA
I_{CC}	supply current		-	50	mA
I_{GND}	ground current		-50	-	mA
T_{stg}	storage temperature		-65	+150	°C
P_{tot}	total power dissipation	$T_{amb} = -40\text{ °C}$ to $+125\text{ °C}$ [2]	-	500	mW

[1] The input and output voltage ratings may be exceeded if the input and output current ratings are observed.

[2] For SO16 Packages: P_{tot} derates linearly with 8 mW/K above 70 °C.
 For (T)SSOP16 Packages: P_{tot} derates linearly with 5.5 mW/K above 60 °C.
 For DHVQFN16 Packages: P_{tot} derates linearly with 4.5 mW/K above 60 °C.

9 Recommended operating conditions

Table 5. Recommended operating conditions

Voltages are referenced to GND (ground = 0 V)

Symbol	Parameter	Conditions	74HC165			74HCT165			Unit
			Min	Typ	Max	Min	Typ	Max	
V _{CC}	supply voltage		2.0	5.0	6.0	4.5	5.0	5.5	V
V _I	input voltage		0	-	V _{CC}	0	-	V _{CC}	V
V _O	output voltage		0	-	V _{CC}	0	-	V _{CC}	V
T _{amb}	ambient temperature		-40	-	+125	-40	-	+125	°C
Δt/ΔV	input transition rise and fall rate	V _{CC} = 2.0 V	-	-	625	-	-	-	ns/V
		V _{CC} = 4.5 V	-	1.67	139	-	1.67	139	ns/V
		V _{CC} = 6.0 V	-	-	83	-	-	-	ns/V

10 Static characteristics

Table 6. Static characteristics

At recommended operating conditions; voltages are referenced to GND (ground = 0 V).

Symbol	Parameter	Conditions	25 °C			-40 °C to +85 °C		-40 °C to +125 °C		Unit
			Min	Typ	Max	Min	Max	Min	Max	
74HC165										
V _{IH}	HIGH-level input voltage	V _{CC} = 2.0 V	1.5	1.2	-	1.5	-	1.5	-	V
		V _{CC} = 4.5 V	3.15	2.4	-	3.15	-	3.15	-	V
		V _{CC} = 6.0 V	4.2	3.2	-	4.2	-	4.2	-	V
V _{IL}	LOW-level input voltage	V _{CC} = 2.0 V	-	0.8	0.5	-	0.5	-	0.5	V
		V _{CC} = 4.5 V	-	2.1	1.35	-	1.35	-	1.35	V
		V _{CC} = 6.0 V	-	2.8	1.8	-	1.8	-	1.8	V
V _{OH}	HIGH-level output voltage	V _I = V _{IH} or V _{IL}								
		I _O = -20 μA; V _{CC} = 2.0 V	1.9	2.0	-	1.9	-	1.9	-	V
		I _O = -20 μA; V _{CC} = 4.5 V	4.4	4.5	-	4.4	-	4.4	-	V
		I _O = -20 μA; V _{CC} = 6.0 V	5.9	6.0	-	5.9	-	5.9	-	V
		I _O = -4.0 mA; V _{CC} = 4.5 V	3.98	4.32	-	3.84	-	3.7	-	V
	I _O = -5.2 mA; V _{CC} = 6.0 V	5.48	5.81	-	5.34	-	5.2	-	V	

Symbol	Parameter	Conditions	25 °C			-40 °C to +85 °C		-40 °C to +125 °C		Unit
			Min	Typ	Max	Min	Max	Min	Max	
V _{OL}	LOW-level output voltage	V _I = V _{IH} or V _{IL}								
		I _O = 20 μA; V _{CC} = 2.0 V	-	0	0.1	-	0.1	-	0.1	V
		I _O = 20 μA; V _{CC} = 4.5 V	-	0	0.1	-	0.1	-	0.1	V
		I _O = 20 μA; V _{CC} = 6.0 V	-	0	0.1	-	0.1	-	0.1	V
		I _O = 4.0 mA; V _{CC} = 4.5 V	-	0.15	0.26	-	0.33	-	0.4	V
		I _O = 5.2 mA; V _{CC} = 6.0 V	-	0.16	0.26	-	0.33	-	0.4	V
I _I	input leakage current	V _I = V _{CC} or GND; V _{CC} = 6.0 V	-	-	±0.1	-	±1	-	±1	μA
I _{CC}	supply current	V _I = V _{CC} or GND; I _O = 0 A; V _{CC} = 6.0 V	-	-	8.0	-	80	-	160	μA
C _I	input capacitance		-	3.5	-	-	-	-	-	pF
74HCT165										
V _{IH}	HIGH-level input voltage	V _{CC} = 4.5 V to 5.5 V	2.0	1.6	-	2.0	-	2.0	-	V
V _{IL}	LOW-level input voltage	V _{CC} = 4.5 V to 5.5 V	-	1.2	0.8	-	0.8	-	0.8	V
V _{OH}	HIGH-level output voltage	V _I = V _{IH} or V _{IL} ; V _{CC} = 4.5 V								
		I _O = -20 μA	4.4	4.5	-	4.4	-	4.4	-	V
		I _O = -4.0 mA	3.98	4.32	-	3.84	-	3.7	-	V
V _{OL}	LOW-level output voltage	V _I = V _{IH} or V _{IL}								
		I _O = 20 μA; V _{CC} = 4.5 V	-	0	0.1	-	0.1	-	0.1	V
		I _O = 5.2 mA; V _{CC} = 6.0 V	-	0.16	0.26	-	0.33	-	0.4	V
I _I	input leakage current	V _I = V _{CC} or GND; V _{CC} = 6.0 V	-	-	±0.1	-	±1	-	±1	μA
I _{CC}	supply current	V _I = V _{CC} or GND; I _O = 0 A; V _{CC} = 6.0 V	-	-	8.0	-	80	-	160	μA
ΔI _{CC}	additional supply current	per input pin; V _I = V _{CC} - 2.1 V; other inputs at V _{CC} or GND; V _{CC} = 4.5 V to 5.5 V								
		Dn and DS inputs	-	35	126	-	157.5	-	171.5	μA
		CP \overline{CE} , and \overline{PL} inputs	-	65	234	-	292.5	-	318.5	μA
C _I	input capacitance		-	3.5	-	-	-	-	-	pF

11 Dynamic characteristics

Table 7. Dynamic characteristics

At recommended operating conditions; voltages are referenced to GND (ground = 0 V);

$C_L = 50$ pF unless otherwise specified; for test circuit, see [Figure 12](#)

Symbol	Parameter	Conditions	25 °C			-40 °C to +85 °C		-40 °C to +125 °C		Unit
			Min	Typ	Max	Min	Max	Min	Max	
74HC165										
t_{pd}	propagation delay	CP or \overline{CE} to Q7, $\overline{Q7}$; see Figure 7 ^[1]								
		$V_{CC} = 2.0$ V	-	52	165	-	205	-	250	ns
		$V_{CC} = 4.5$ V	-	19	33	-	41	-	50	ns
		$V_{CC} = 6.0$ V	-	15	28	-	35	-	43	ns
		$V_{CC} = 5.0$ V; $C_L = 15$ pF	-	16	-	-	-	-	-	ns
		\overline{PL} to Q7, $\overline{Q7}$; see Figure 8								
		$V_{CC} = 2.0$ V	-	50	165	-	205	-	250	ns
		$V_{CC} = 4.5$ V	-	18	33	-	41	-	50	ns
		$V_{CC} = 6.0$ V	-	14	28	-	35	-	43	ns
		$V_{CC} = 5.0$ V; $C_L = 15$ pF	-	15	-	-	-	-	-	ns
		D7 to Q7, $\overline{Q7}$; see Figure 9								
		$V_{CC} = 2.0$ V	-	36	120	-	150	-	180	ns
		$V_{CC} = 4.5$ V	-	13	24	-	30	-	36	ns
$V_{CC} = 6.0$ V	-	10	20	-	26	-	31	ns		
$V_{CC} = 5.0$ V; $C_L = 15$ pF	-	11	-	-	-	-	-	ns		
t_t	transition time	Q7, $\overline{Q7}$ output; see Figure 7 ^[2]								
		$V_{CC} = 2.0$ V	-	19	75	-	95	-	110	ns
		$V_{CC} = 4.5$ V	-	7	15	-	19	-	22	ns
		$V_{CC} = 6.0$ V	-	6	13	-	16	-	19	ns
t_{wv}	pulse width	CP input HIGH or LOW; see Figure 7								
		$V_{CC} = 2.0$ V	80	17	-	100	-	120	-	ns
		$V_{CC} = 4.5$ V	16	6	-	20	-	24	-	ns
		$V_{CC} = 6.0$ V	14	5	-	17	-	20	-	ns
		\overline{PL} input LOW; see Figure 8								
		$V_{CC} = 2.0$ V	80	14	-	100	-	120	-	ns
		$V_{CC} = 4.5$ V	16	5	-	20	-	24	-	ns
$V_{CC} = 6.0$ V	14	4	-	17	-	20	-	ns		

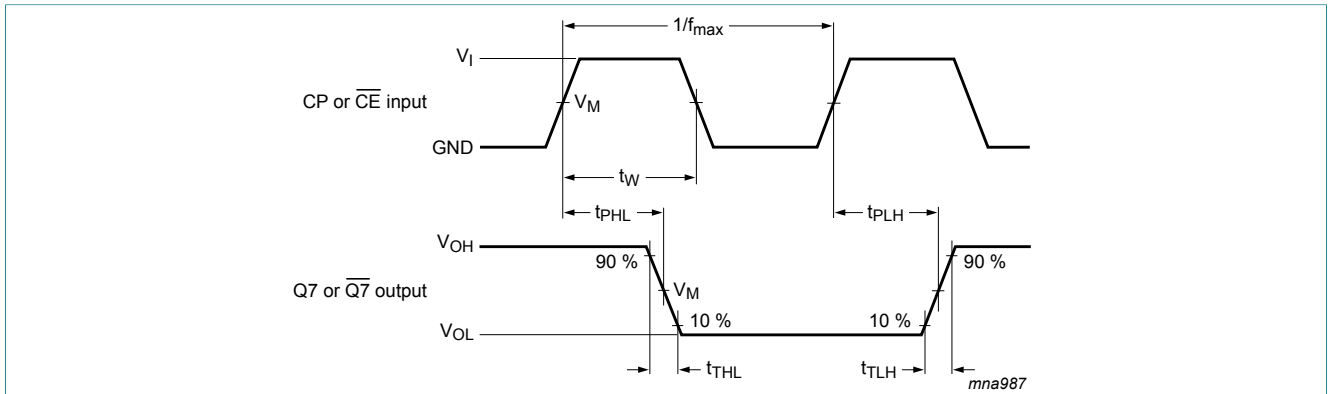
Symbol	Parameter	Conditions	25 °C			-40 °C to +85 °C		-40 °C to +125 °C		Unit
			Min	Typ	Max	Min	Max	Min	Max	
t_{rec}	recovery time	$\overline{\text{PL}}$ to CP, $\overline{\text{CE}}$; see Figure 8								
		$V_{\text{CC}} = 2.0 \text{ V}$	100	22	-	125	-	150	-	ns
		$V_{\text{CC}} = 4.5 \text{ V}$	20	8	-	25	-	30	-	ns
		$V_{\text{CC}} = 6.0 \text{ V}$	17	6	-	21	-	26	-	ns
t_{su}	set-up time	DS to CP, $\overline{\text{CE}}$; see Figure 10								
		$V_{\text{CC}} = 2.0 \text{ V}$	80	11	-	100	-	120	-	ns
		$V_{\text{CC}} = 4.5 \text{ V}$	16	4	-	20	-	24	-	ns
		$V_{\text{CC}} = 6.0 \text{ V}$	14	3	-	17	-	20	-	ns
		$\overline{\text{CE}}$ to CP and CP to $\overline{\text{CE}}$; see Figure 10								
		$V_{\text{CC}} = 2.0 \text{ V}$	80	17	-	100	-	120	-	ns
		$V_{\text{CC}} = 4.5 \text{ V}$	16	6	-	20	-	24	-	ns
		$V_{\text{CC}} = 6.0 \text{ V}$	14	5	-	17	-	20	-	ns
		Dn to $\overline{\text{PL}}$; see Figure 11								
		$V_{\text{CC}} = 2.0 \text{ V}$	80	22	-	100	-	120	-	ns
		$V_{\text{CC}} = 4.5 \text{ V}$	16	8	-	20	-	24	-	ns
		$V_{\text{CC}} = 6.0 \text{ V}$	14	6	-	17	-	20	-	ns
t_{h}	hold time	DS to CP, $\overline{\text{CE}}$ and Dn to $\overline{\text{PL}}$; see Figure 10								
		$V_{\text{CC}} = 2.0 \text{ V}$	5	2	-	5	-	5	-	ns
		$V_{\text{CC}} = 4.5 \text{ V}$	5	2	-	5	-	5	-	ns
		$V_{\text{CC}} = 6.0 \text{ V}$	5	2	-	5	-	5	-	ns
		$\overline{\text{CE}}$ to CP and CP to $\overline{\text{CE}}$; see Figure 10								
		$V_{\text{CC}} = 2.0 \text{ V}$	5	-17	-	5	-	5	-	ns
		$V_{\text{CC}} = 4.5 \text{ V}$	5	-6	-	5	-	5	-	ns
$V_{\text{CC}} = 6.0 \text{ V}$	5	-5	-	5	-	5	-	ns		
f_{max}	maximum frequency	CP input; see Figure 7								
		$V_{\text{CC}} = 2.0 \text{ V}$	6	17	-	5	-	4	-	MHz
		$V_{\text{CC}} = 4.5 \text{ V}$	30	51	-	24	-	20	-	MHz
		$V_{\text{CC}} = 6.0 \text{ V}$	35	61	-	28	-	24	-	MHz
		$V_{\text{CC}} = 5.0 \text{ V}$; $C_{\text{L}} = 15 \text{ pF}$	-	56	-	-	-	-	-	MHz
C_{PD}	power dissipation capacitance	per package; $V_1 = \text{GND to } V_{\text{CC}}$ ^[3]	-	35	-	-	-	-	-	pF

Symbol	Parameter	Conditions	25 °C			-40 °C to +85 °C		-40 °C to +125 °C		Unit
			Min	Typ	Max	Min	Max	Min	Max	
74HCT165										
t_{pd}	propagation delay	\overline{CE} , CP to Q7, $\overline{Q7}$; see Figure 7 ^[1]	-	17	34	-	43	-	51	ns
		$V_{CC} = 4.5\text{ V}$	-	17	34	-	43	-	51	ns
		$V_{CC} = 5.0\text{ V}; C_L = 15\text{ pF}$	-	14	-	-	-	-	-	ns
		\overline{PL} to Q7, $\overline{Q7}$; see Figure 8	-	20	40	-	50	-	60	ns
		$V_{CC} = 4.5\text{ V}$	-	20	40	-	50	-	60	ns
		$V_{CC} = 5.0\text{ V}; C_L = 15\text{ pF}$	-	17	-	-	-	-	-	ns
		D7 to Q7, $\overline{Q7}$; see Figure 9	-	14	28	-	35	-	42	ns
		$V_{CC} = 4.5\text{ V}$	-	14	28	-	35	-	42	ns
t_t	transition time	Q7, $\overline{Q7}$ output; see Figure 7 ^[2]	-	7	15	-	19	-	22	ns
		$V_{CC} = 4.5\text{ V}$	-	7	15	-	19	-	22	ns
t_w	pulse width	CP input; see Figure 7	16	6	-	20	-	24	-	ns
		$V_{CC} = 4.5\text{ V}$	16	6	-	20	-	24	-	ns
		\overline{PL} input; see Figure 8	20	9	-	25	-	30	-	ns
t_{rec}	recovery time	\overline{PL} to CP, \overline{CE} ; see Figure 8	20	8	-	25	-	30	-	ns
		$V_{CC} = 4.5\text{ V}$	20	8	-	25	-	30	-	ns
t_{su}	set-up time	DS to CP, \overline{CE} ; see Figure 10	20	2	-	25	-	30	-	ns
		$V_{CC} = 4.5\text{ V}$	20	2	-	25	-	30	-	ns
		\overline{CE} to CP and CP to \overline{CE} ; see Figure 10	20	7	-	25	-	30	-	ns
		$V_{CC} = 4.5\text{ V}$	20	7	-	25	-	30	-	ns
		Dn to \overline{PL} ; see Figure 11	20	10	-	25	-	30	-	ns
t_h	hold time	DS to CP, \overline{CE} and Dn to \overline{PL} ; see Figure 10	7	-1	-	9	-	11	-	ns
		$V_{CC} = 4.5\text{ V}$	7	-1	-	9	-	11	-	ns
		\overline{CE} to CP and CP to \overline{CE} ; see Figure 10	0	-7	-	0	-	0	-	ns
$V_{CC} = 4.5\text{ V}$	0	-7	-	0	-	0	-	ns		

Symbol	Parameter	Conditions	25 °C			-40 °C to +85 °C		-40 °C to +125 °C		Unit
			Min	Typ	Max	Min	Max	Min	Max	
f _{max}	maximum frequency	CP input; see Figure 7								
		V _{CC} = 4.5 V	26	44	-	21	-	17	-	MHz
		V _{CC} = 5.0 V; C _L = 15 pF	-	48	-	-	-	-	-	MHz
C _{PD}	power dissipation capacitance	per package; V _I = GND to V _{CC} - 1.5 V ^[3]	-	35	-	-	-	-	-	pF

- [1] t_{pd} is the same as t_{PHL} and t_{PLH}.
- [2] t_t is the same as t_{THL} and t_{TLH}.
- [3] C_{PD} is used to determine the dynamic power dissipation (P_D in μW).
 $P_D = C_{PD} \times V_{CC}^2 \times f_i + \sum (C_L \times V_{CC}^2 \times f_o)$ where:
 f_i = input frequency in MHz;
 f_o = output frequency in MHz;
 $\sum (C_L \times V_{CC}^2 \times f_o)$ = sum of outputs;
 C_L = output load capacitance in pF;
 V_{CC} = supply voltage in V.

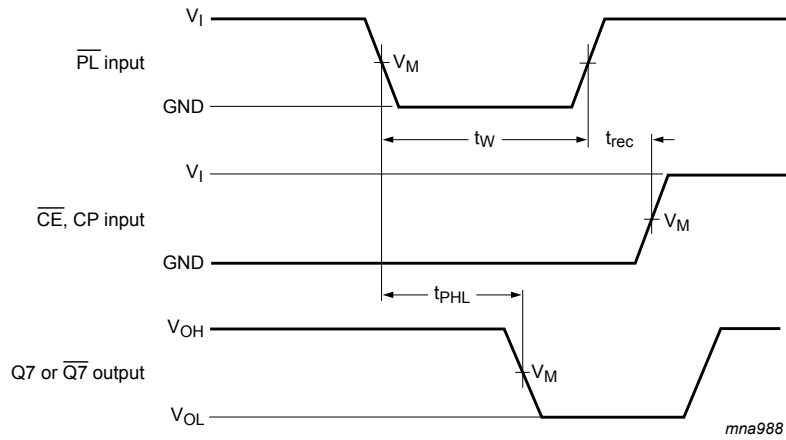
11.1 Waveforms and test circuit



Measurement points are given in [Table 8](#).

V_{OL} and V_{OH} are typical voltage output levels that occur with the output load.

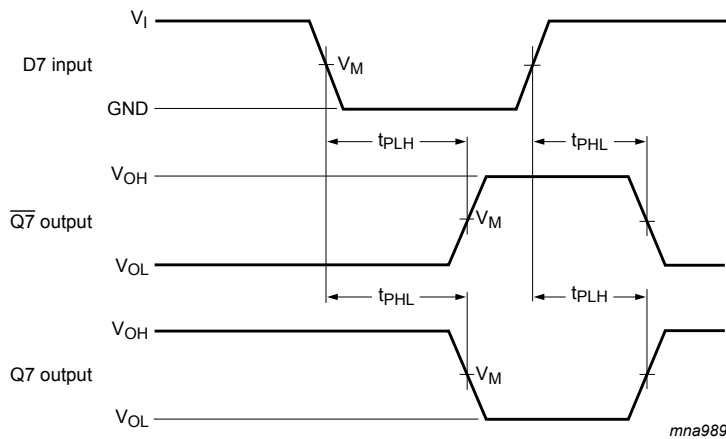
Figure 7. The clock (CP) or clock enable (CE) to output (Q7 or Q7) propagation delays, the clock pulse width, the maximum clock frequency and the output transition times



Measurement points are given in [Table 8](#).

V_{OL} and V_{OH} are typical voltage output levels that occur with the output load.

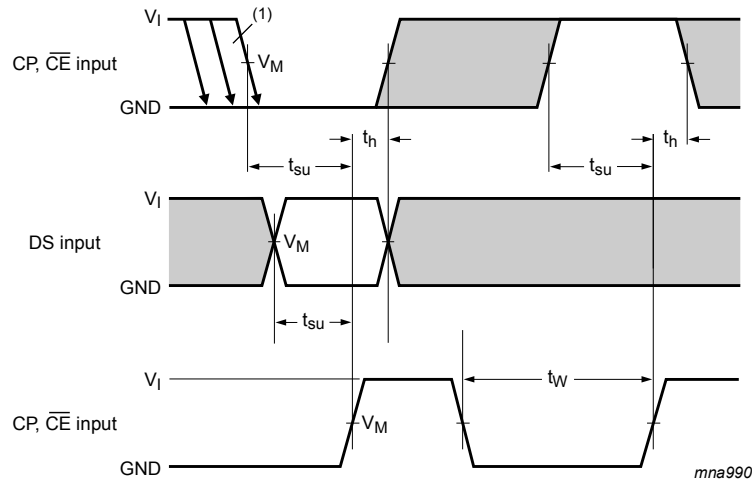
Figure 8. The parallel load (\overline{PL}) pulse width, the parallel load to output ($Q7$ or $\overline{Q7}$) propagation delays, the parallel load to clock (CP) and clock enable (\overline{CE}) recovery time



Measurement points are given in [Table 8](#).

V_{OL} and V_{OH} are typical voltage output levels that occur with the output load.

Figure 9. The data input ($D7$) to output ($Q7$ or $\overline{Q7}$) propagation delays when \overline{PL} is LOW



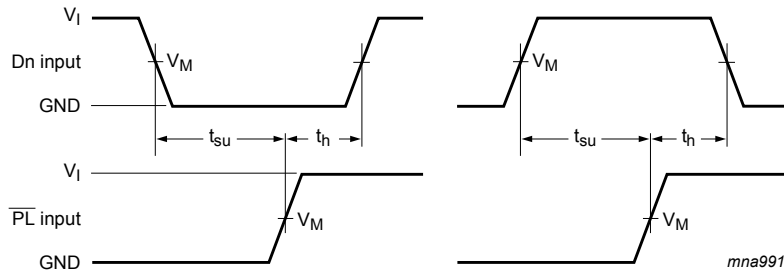
(1) \overline{CE} may change only from HIGH-to-LOW while CP is LOW.

The shaded areas indicate when the input is permitted to change for predictable output performance

Measurement points are given in [Table 8](#).

V_{OL} and V_{OH} are typical voltage output levels that occur with the output load.

Figure 10. The set-up and hold times from the serial data input (DS) to the clock (CP) and clock enable (\overline{CE}) inputs, from the clock enable input (\overline{CE}) to the clock input (CP) and from the clock input (CP) to the clock enable input (\overline{CE})



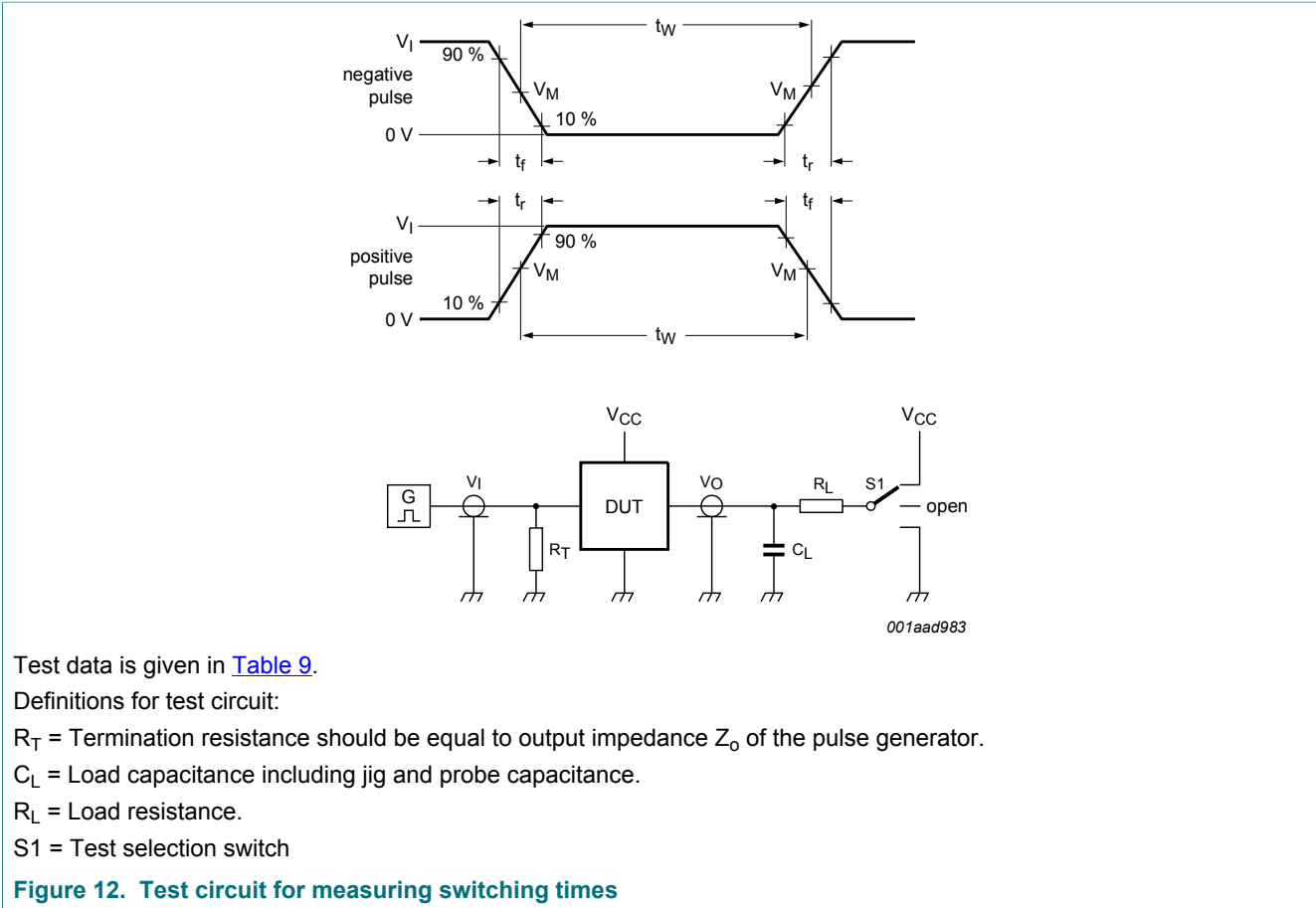
Measurement points are given in [Table 8](#).

V_{OL} and V_{OH} are typical voltage output levels that occur with the output load.

Figure 11. The set-up and hold times from the data inputs (Dn) to the parallel load input (\overline{PL})

Table 8. Measurement points

Type	Input		Output
	V_I	V_M	V_M
74HC165	V_{CC}	$0.5V_{CC}$	$0.5V_{CC}$
74HCT165	3 V	1.3 V	1.3 V



Test data is given in [Table 9](#).

Definitions for test circuit:

R_T = Termination resistance should be equal to output impedance Z_o of the pulse generator.

C_L = Load capacitance including jig and probe capacitance.

R_L = Load resistance.

S1 = Test selection switch

Figure 12. Test circuit for measuring switching times

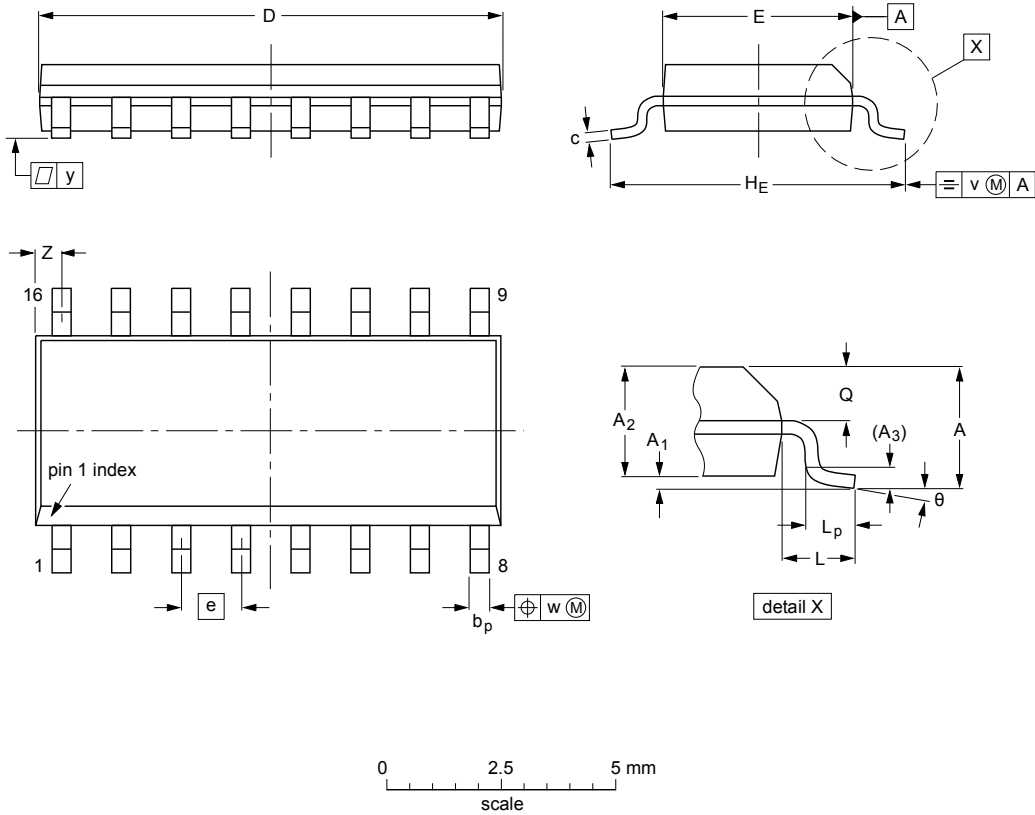
Table 9. Test data

Type	Input		Load		S1 position
	V_I	t_r, t_f	C_L	R_L	t_{PHL}, t_{PLH}
74HC165	V_{CC}	6 ns	15 pF, 50 pF	1 k Ω	open
74HCT165	3 V	6 ns	15 pF, 50 pF	1 k Ω	open

12 Package outline

SO16: plastic small outline package; 16 leads; body width 3.9 mm

SOT109-1



DIMENSIONS (inch dimensions are derived from the original mm dimensions)

UNIT	A max.	A ₁	A ₂	A ₃	b _p	c	D ⁽¹⁾	E ⁽¹⁾	e	H _E	L	L _p	Q	v	w	y	Z ⁽¹⁾	θ
mm	1.75	0.25 0.10	1.45 1.25	0.25	0.49 0.36	0.25 0.19	10.0 9.8	4.0 3.8	1.27	6.2 5.8	1.05	1.0 0.4	0.7 0.6	0.25	0.25	0.1	0.7 0.3	8° 0°
inches	0.069	0.010 0.004	0.057 0.049	0.01	0.019 0.014	0.0100 0.0075	0.39 0.38	0.16 0.15	0.05	0.244 0.228	0.041	0.039 0.016	0.028 0.020	0.01	0.01	0.004	0.028 0.012	

Note

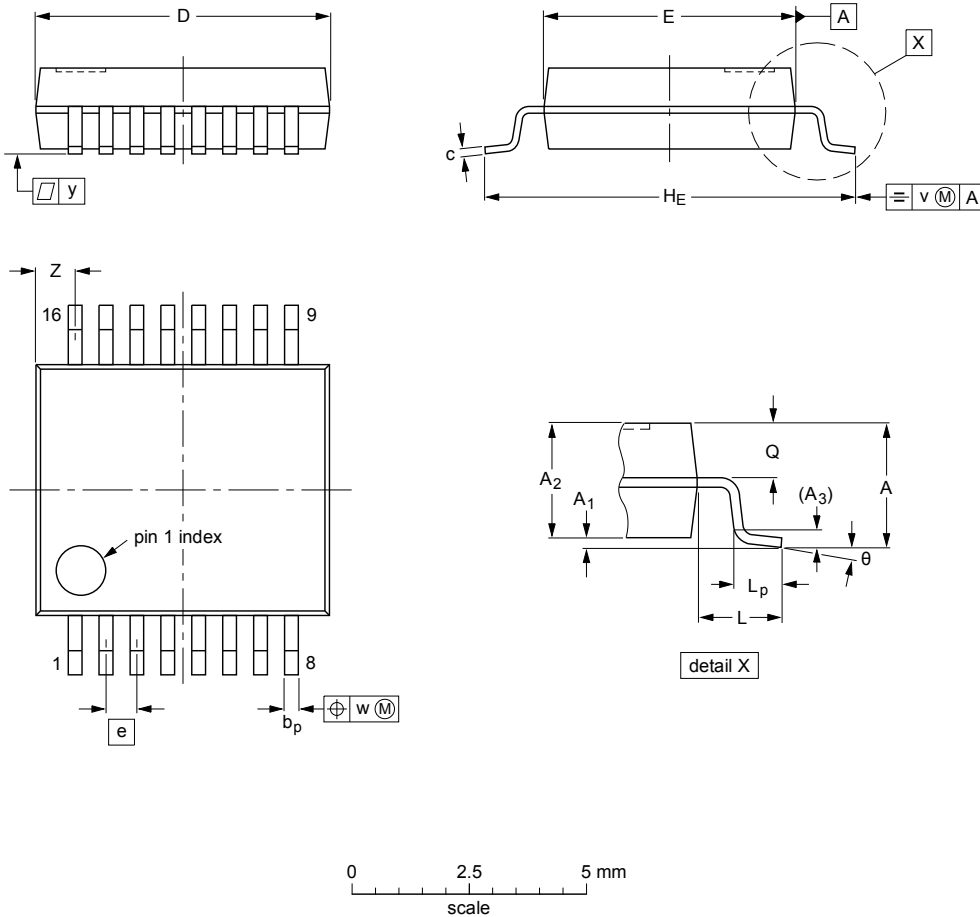
1. Plastic or metal protrusions of 0.15 mm (0.006 inch) maximum per side are not included.

OUTLINE VERSION	REFERENCES			EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	JEITA		
SOT109-1	076E07	MS-012			99-12-27 03-02-19

Figure 13. Package outline SOT109-1 (SO16)

SSOP16: plastic shrink small outline package; 16 leads; body width 5.3 mm

SOT338-1



DIMENSIONS (mm are the original dimensions)

UNIT	A max.	A ₁	A ₂	A ₃	b _p	c	D ⁽¹⁾	E ⁽¹⁾	e	H _E	L	L _p	Q	v	w	y	Z ⁽¹⁾	θ
mm	2	0.21 0.05	1.80 1.65	0.25	0.38 0.25	0.20 0.09	6.4 6.0	5.4 5.2	0.65	7.9 7.6	1.25	1.03 0.63	0.9 0.7	0.2	0.13	0.1	1.00 0.55	8° 0°

Note

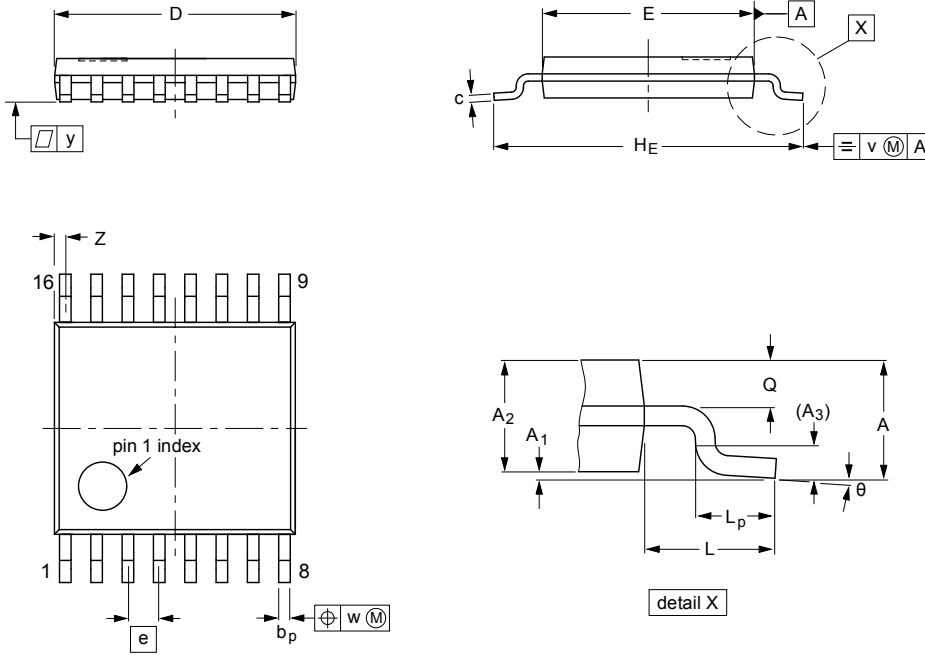
1. Plastic or metal protrusions of 0.25 mm maximum per side are not included.

OUTLINE VERSION	REFERENCES				EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	JEITA			
SOT338-1		MO-150				99-12-27 03-02-19

Figure 14. Package outline SOT338-1 (SSOP16)

TSSOP16: plastic thin shrink small outline package; 16 leads; body width 4.4 mm

SOT403-1



DIMENSIONS (mm are the original dimensions)

UNIT	A max.	A ₁	A ₂	A ₃	b _p	c	D ⁽¹⁾	E ⁽²⁾	e	H _E	L	L _p	Q	v	w	y	Z ⁽¹⁾	θ
mm	1.1	0.15 0.05	0.95 0.80	0.25	0.30 0.19	0.2 0.1	5.1 4.9	4.5 4.3	0.65	6.6 6.2	1	0.75 0.50	0.4 0.3	0.2	0.13	0.1	0.40 0.06	8° 0°

Notes

1. Plastic or metal protrusions of 0.15 mm maximum per side are not included.
2. Plastic interlead protrusions of 0.25 mm maximum per side are not included.

OUTLINE VERSION	REFERENCES				EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	JEITA			
SOT403-1		MO-153				-99-12-27 03-02-18

Figure 15. Package outline SOT403-1 (TSSOP16)

DHVQFN16: plastic dual in-line compatible thermal enhanced very thin quad flat package; no leads; 16 terminals; body 2.5 x 3.5 x 0.85 mm

SOT763-1

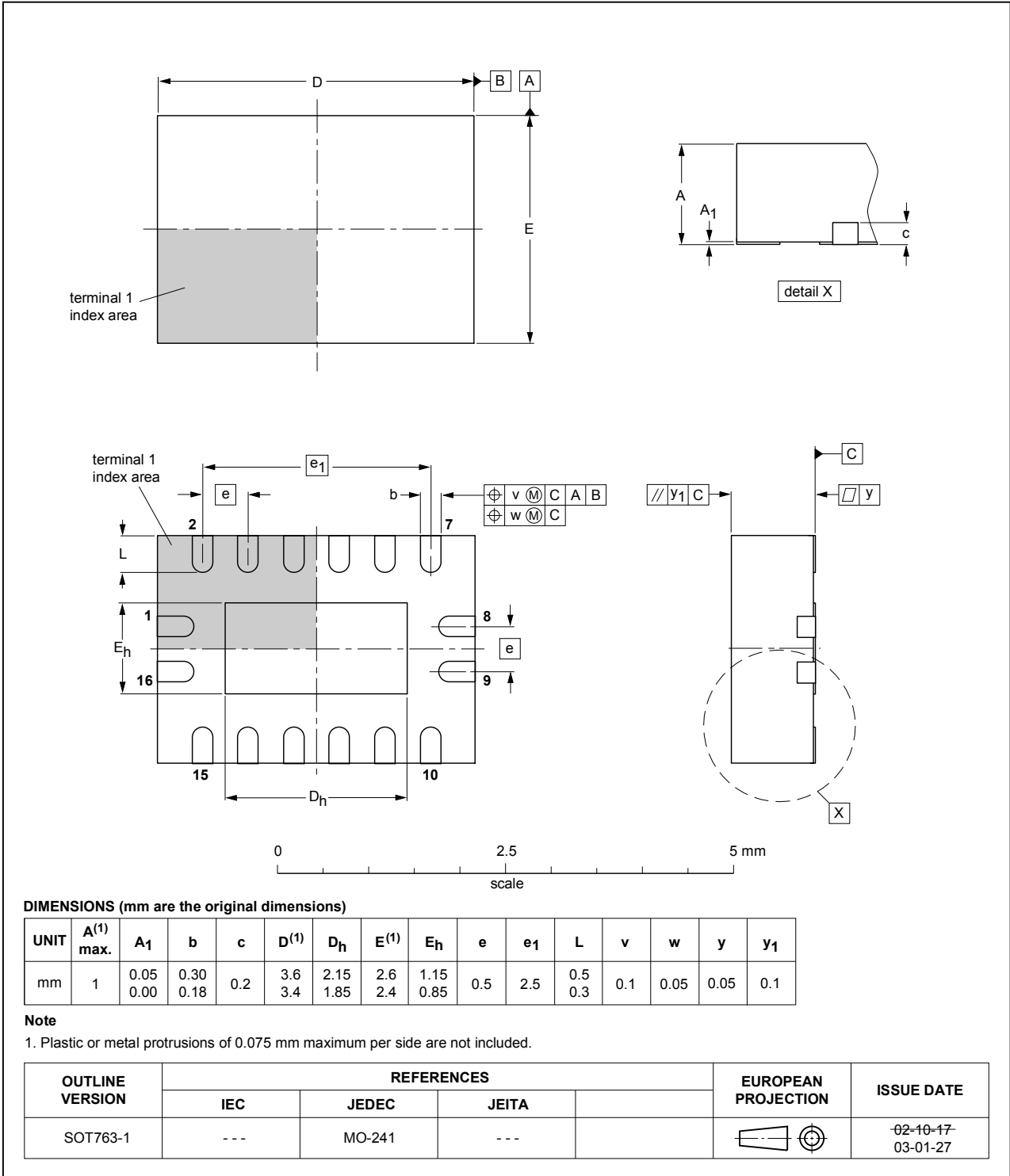


Figure 16. Package outline SOT763-1 (DHVQFN16)

13 Abbreviations

Table 10. Abbreviations

Acronym	Description
CMOS	Complementary Metal-Oxide Semiconductor
DUT	Device Under Test
ESD	ElectroStatic Discharge
HBM	Human Body Model
MM	Machine Model
TTL	Transistor-Transistor Logic

14 Revision history

Table 11. Revision history

Document ID	Release date	Data sheet status	Change notice	Supersedes
74HC_HCT165 v.5	20170821	Product data sheet	-	74HC_HCT165 v.4
Modifications:	<ul style="list-style-type: none"> Hold time for 74HC165 has been updated. See Paragraph hold time. The format of this data sheet has been redesigned to comply with the identity guidelines of Nexperia. Legal texts have been adapted to the new company name where appropriate. 			
74HC_HCT165 v.4	20151228	Product data sheet	-	74HC_HCT165 v.3
Modifications:	<ul style="list-style-type: none"> Type numbers 74HC165N and 74HCT165N (SOT38-4) removed. 			
74HC_HCT165 v.3	20080314	Product data sheet	-	74HC_HCT165_CNV v.2
Modifications:	<ul style="list-style-type: none"> The format of this data sheet has been redesigned to comply with the new identity guidelines of NXP Semiconductors. Legal texts have been adapted to the new company name where appropriate. Package SOT763-1 (DHVQFN16) added to Section 4 and Section 12. Family data added, see Section 10 			
74HC_HCT165_CNV v.2	December 1990	Product specification	-	-

15 Legal information

15.1 Data sheet status

Document status ^{[1][2]}	Product status ^[3]	Definition
Objective [short] data sheet	Development	This document contains data from the objective specification for product development.
Preliminary [short] data sheet	Qualification	This document contains data from the preliminary specification.
Product [short] data sheet	Production	This document contains the product specification.

[1] Please consult the most recently issued document before initiating or completing a design.

[2] The term 'short data sheet' is explained in section "Definitions".

[3] The product status of device(s) described in this document may have changed since this document was published and may differ in case of multiple devices. The latest product status information is available on the Internet at URL <http://www.nexperia.com>.

15.2 Definitions

Draft — The document is a draft version only. The content is still under internal review and subject to formal approval, which may result in modifications or additions. Nexperia does not give any representations or warranties as to the accuracy or completeness of information included herein and shall have no liability for the consequences of use of such information.

Short data sheet — A short data sheet is an extract from a full data sheet with the same product type number(s) and title. A short data sheet is intended for quick reference only and should not be relied upon to contain detailed and full information. For detailed and full information see the relevant full data sheet, which is available on request via the local Nexperia sales office. In case of any inconsistency or conflict with the short data sheet, the full data sheet shall prevail.

Product specification — The information and data provided in a Product data sheet shall define the specification of the product as agreed between Nexperia and its customer, unless Nexperia and customer have explicitly agreed otherwise in writing. In no event however, shall an agreement be valid in which the Nexperia product is deemed to offer functions and qualities beyond those described in the Product data sheet.

15.3 Disclaimers

Limited warranty and liability — Information in this document is believed to be accurate and reliable. However, Nexperia does not give any representations or warranties, expressed or implied, as to the accuracy or completeness of such information and shall have no liability for the consequences of use of such information. Nexperia takes no responsibility for the content in this document if provided by an information source outside of Nexperia. In no event shall Nexperia be liable for any indirect, incidental, punitive, special or consequential damages (including - without limitation - lost profits, lost savings, business interruption, costs related to the removal or replacement of any products or rework charges) whether or not such damages are based on tort (including negligence), warranty, breach of contract or any other legal theory. Notwithstanding any damages that customer might incur for any reason whatsoever, Nexperia's aggregate and cumulative liability towards customer for the products described herein shall be limited in accordance with the Terms and conditions of commercial sale of Nexperia.

Right to make changes — Nexperia reserves the right to make changes to information published in this document, including without limitation specifications and product descriptions, at any time and without notice. This document supersedes and replaces all information supplied prior to the publication hereof.

Suitability for use — Nexperia products are not designed, authorized or warranted to be suitable for use in life support, life-critical or safety-critical

systems or equipment, nor in applications where failure or malfunction of an Nexperia product can reasonably be expected to result in personal injury, death or severe property or environmental damage. Nexperia and its suppliers accept no liability for inclusion and/or use of Nexperia products in such equipment or applications and therefore such inclusion and/or use is at the customer's own risk.

Applications — Applications that are described herein for any of these products are for illustrative purposes only. Nexperia makes no representation or warranty that such applications will be suitable for the specified use without further testing or modification. Customers are responsible for the design and operation of their applications and products using Nexperia products, and Nexperia accepts no liability for any assistance with applications or customer product design. It is customer's sole responsibility to determine whether the Nexperia product is suitable and fit for the customer's applications and products planned, as well as for the planned application and use of customer's third party customer(s). Customers should provide appropriate design and operating safeguards to minimize the risks associated with their applications and products. Nexperia does not accept any liability related to any default, damage, costs or problem which is based on any weakness or default in the customer's applications or products, or the application or use by customer's third party customer(s). Customer is responsible for doing all necessary testing for the customer's applications and products using Nexperia products in order to avoid a default of the applications and the products or of the application or use by customer's third party customer(s). Nexperia does not accept any liability in this respect.

Limiting values — Stress above one or more limiting values (as defined in the Absolute Maximum Ratings System of IEC 60134) will cause permanent damage to the device. Limiting values are stress ratings only and (proper) operation of the device at these or any other conditions above those given in the Recommended operating conditions section (if present) or the Characteristics sections of this document is not warranted. Constant or repeated exposure to limiting values will permanently and irreversibly affect the quality and reliability of the device.

Terms and conditions of commercial sale — Nexperia products are sold subject to the general terms and conditions of commercial sale, as published at <http://www.nexperia.com/profile/terms>, unless otherwise agreed in a valid written individual agreement. In case an individual agreement is concluded only the terms and conditions of the respective agreement shall apply. Nexperia hereby expressly objects to applying the customer's general terms and conditions with regard to the purchase of Nexperia products by customer.

No offer to sell or license — Nothing in this document may be interpreted or construed as an offer to sell products that is open for acceptance or the grant, conveyance or implication of any license under any copyrights, patents or other industrial or intellectual property rights.

Export control — This document as well as the item(s) described herein may be subject to export control regulations. Export might require a prior authorization from competent authorities.

Non-automotive qualified products — Unless this data sheet expressly states that this specific Nexperia product is automotive qualified, the product is not suitable for automotive use. It is neither qualified nor tested in accordance with automotive testing or application requirements. Nexperia accepts no liability for inclusion and/or use of non-automotive qualified products in automotive equipment or applications. In the event that customer uses the product for design-in and use in automotive applications to automotive specifications and standards, customer (a) shall use the product without Nexperia's warranty of the product for such automotive applications, use and specifications, and (b) whenever customer uses the product for automotive applications beyond Nexperia's specifications such use shall be solely at customer's own risk, and (c) customer fully indemnifies Nexperia for any liability, damages or failed product claims resulting from customer

design and use of the product for automotive applications beyond Nexperia's standard warranty and Nexperia's product specifications.

Translations — A non-English (translated) version of a document is for reference only. The English version shall prevail in case of any discrepancy between the translated and English versions.

15.4 Trademarks

Notice: All referenced brands, product names, service names and trademarks are the property of their respective owners.

Contents

1	General description	1
2	Features and benefits	1
3	Applications	1
4	Ordering information	2
5	Functional diagram	2
6	Pinning information	3
6.1	Pinning	3
6.2	Pin description	4
7	Functional description	4
8	Limiting values	5
9	Recommended operating conditions	6
10	Static characteristics	6
11	Dynamic characteristics	8
11.1	Waveforms and test circuit	11
12	Package outline	15
13	Abbreviations	19
14	Revision history	19
15	Legal information	20

Please be aware that important notices concerning this document and the product(s) described herein, have been included in section 'Legal information'.

© Nexperia B.V. 2017.

All rights reserved.

For more information, please visit: <http://www.nexperia.com>

For sales office addresses, please send an email to: salesaddresses@nexperia.com

Date of release: 21 August 2017
Document identifier: 74HC_HCT165

HEF4046B

Phase-locked loop

Rev. 6 — 24 March 2016

Product data sheet

1. General description

The HEF4046B is a phase-locked loop circuit that consists of a linear Voltage Controlled Oscillator (VCO) and two different phase comparators with a common signal input amplifier and a common comparator input. A 7 V regulator (Zener) diode is provided for supply voltage regulation if necessary. For a functional description see [Section 6](#).

It operates over a recommended V_{DD} power supply range of 3 V to 15 V referenced to V_{SS} (usually ground). Unused inputs must be connected to V_{DD} , V_{SS} , or another input.

2. Features and benefits

- Fully static operation
- 5 V, 10 V, and 15 V parametric ratings
- Standardized symmetrical output characteristics
- Specified from $-40\text{ }^{\circ}\text{C}$ to $+85\text{ }^{\circ}\text{C}$
- Complies with JEDEC standard JESD 13-B

3. Ordering information

Table 1. Ordering information

All types operate from $-40\text{ }^{\circ}\text{C}$ to $+85\text{ }^{\circ}\text{C}$.

Type number	Package		
	Name	Description	Version
HEF4046BT	SO16	plastic small outline package; 16 leads; body width 3.9 mm	SOT109-1

4. Functional diagram

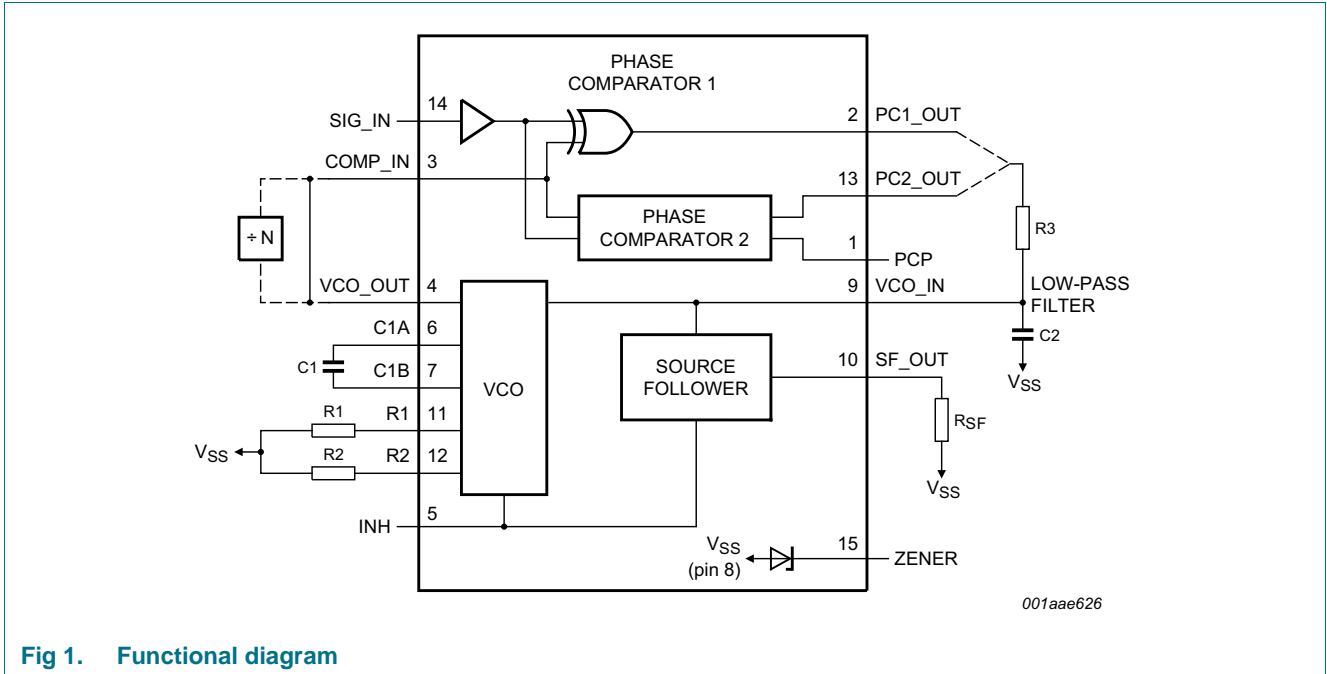


Fig 1. Functional diagram

5. Pinning information

5.1 Pinning

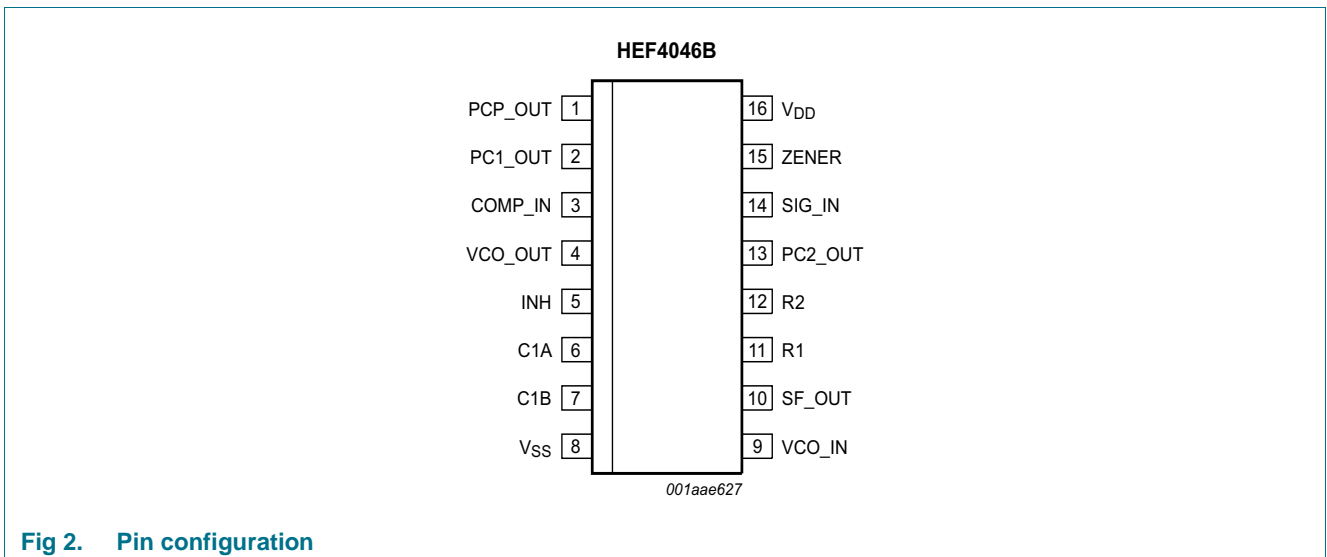


Fig 2. Pin configuration

5.2 Pin description

Table 2. Pin description

Symbol	Pin	Description
PCP_OUT	1	phase comparator pulse output
PC1_OUT	2	phase comparator 1 output
COMP_IN	3	comparator input
VCO_OUT	4	VCO output
INH	5	inhibit input
C1A	6	capacitor C1 connection A
C1B	7	capacitor C1 connection B
V _{SS}	8	ground supply voltage
VCO_IN	9	VCO input
SF_OUT	10	source-follower output
R1	11	resistor R1 connection
R2	12	resistor R2 connection
PC2_OUT	13	phase comparator 2 output
SIG_IN	14	signal input
ZENER	15	Zener diode input for regulated supply
V _{DD}	16	supply voltage

6. Functional description

6.1 VCO control

The VCO requires an external capacitor (C1) and resistor (R1) with an optional resistor (R2). Resistor R1 and capacitor C1 determine the frequency range of the VCO, while resistor R2 enables the VCO to have a frequency off-set if required. The high input impedance of the VCO simplifies the design of low-pass filters; it permits the designer a wide choice of resistor/capacitor ranges. In order not to load the low-pass filter, a source-follower output of the VCO input voltage is provided at SF_OUT (pin 10). If this is used, a load resistor (R_L) should be connected from SF_OUT to V_{SS}; if unused, SF_OUT should be left open. The VCO output (pin 4) can either be connected directly to the comparator input COMP_IN (pin 3) or via a frequency divider. A LOW-level at the inhibit input INH_IN (pin 5) enables the VCO and the source follower, while a HIGH-level turns both off to minimize standby power consumption.

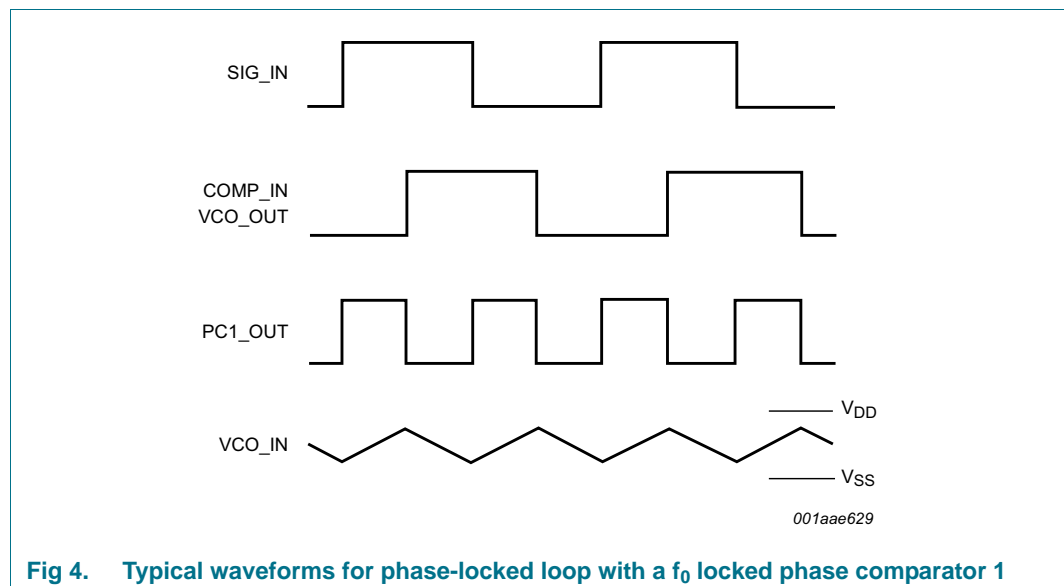
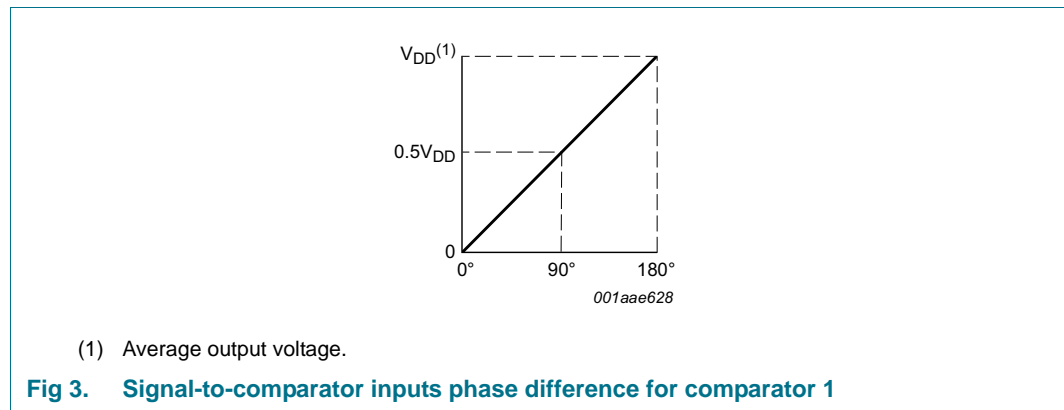
6.2 Phase comparators

The phase-comparator signal input SIG_IN (pin 14) can be direct-coupled, provided the signal swing is between the standard HE4000B family input logic levels. The signal must be capacitively coupled to the self-biasing amplifier at the signal input with smaller swings. Phase comparator 1 is an EXCLUSIVE-OR network. The signal and comparator input frequencies must have a 50 % duty factor to obtain the maximum lock range. The average output voltage of the phase comparator is equal to $0.5V_{DD}$ when there is no signal or noise at the signal input. The average voltage to the VCO input VCO_IN is supplied by the low-pass filter connected to the output of phase comparator 1. This also causes the VCO to oscillate at the center frequency (f_0). The frequency capture range ($2f_C$) is defined as

the frequency range of input signals on which the PLL will lock if it was initially out of lock. The frequency lock range ($2f_L$) is defined as the frequency range of input signals on which the loop will stay locked if it was initially in lock. The capture range is smaller or equal to the lock range.

With phase comparator 1, the range of frequencies over which the PLL can acquire lock (capture range) depends on the low-pass filter characteristics and this range can be made as large as the lock range. Phase comparator 1 enables the PLL system to remain in lock in spite of high amounts of noise in the input signal. A typical behavior of this type of phase comparator is that it may lock onto input frequencies that are close to harmonics of the VCO center frequency. Another typical behavior is that the phase angle between the signal and comparator input varies between 0° and 180° , and is 90° at the center frequency. [Figure 3](#) shows the typical phase-to-output response characteristic.

[Figure 4](#) shows the typical waveforms for a PLL with a f_0 locked phase comparator 1.



Phase comparator 2 is an edge-controlled digital memory network. It consists of four flip-flops, control gating and a 3-state output circuit comprising p and n-type drivers with a common output node. When the p-type or n-type drivers are ON, they pull the output up to V_{DD} or down to V_{SS} respectively. This type of phase comparator only acts on the positive-going edges of the signals at SIG_IN and COMP_IN. Therefore, the duty factors of these signals are not of importance.

If the signal input frequency is higher than the comparator input frequency, the p-type output driver is maintained ON most of the time, and both the n and p-type drivers are OFF (3-state) the remainder of the time. If the signal input frequency is lower than the comparator input frequency, the n-type output driver is maintained ON most of the time, and both the n and p-type drivers are OFF the remainder of the time. If the signal input and comparator input frequencies are equal, but the signal input lags the comparator input in phase, the n-type output driver is maintained ON for a time corresponding to the phase difference. If the comparator input lags the signal input in phase, the p-type output driver is maintained ON for a time corresponding to the phase difference. Subsequently, the voltage at the capacitor of the low-pass filter connected to this phase comparator is adjusted until the signal and comparator inputs are equal in both phase and frequency. At this stable point, both p and n-type drivers remain OFF and thus the phase comparator output becomes an open circuit and keeps the voltage at the capacitor of the low-pass filter constant.

Moreover, the signal at the phase comparator pulse output (PCP_OUT) is a HIGH level, which can be used for indicating a locked condition. Thus, for phase comparator 2, no phase difference exists between the signal and comparator inputs over the full VCO frequency range. Moreover, the power dissipation due to the low-pass filter is reduced when this type of phase comparator is used, because both p and n-type output drivers are OFF for most of the signal input cycle. It should be noted that the PLL lock range for this type of phase comparator is equal to the capture range, independent of the low-pass filter. With no signal present at the signal input, the VCO is adjusted to its lowest frequency for phase comparator 2. Figure 5 shows typical waveforms for a PLL employing this type of locked phase comparator.

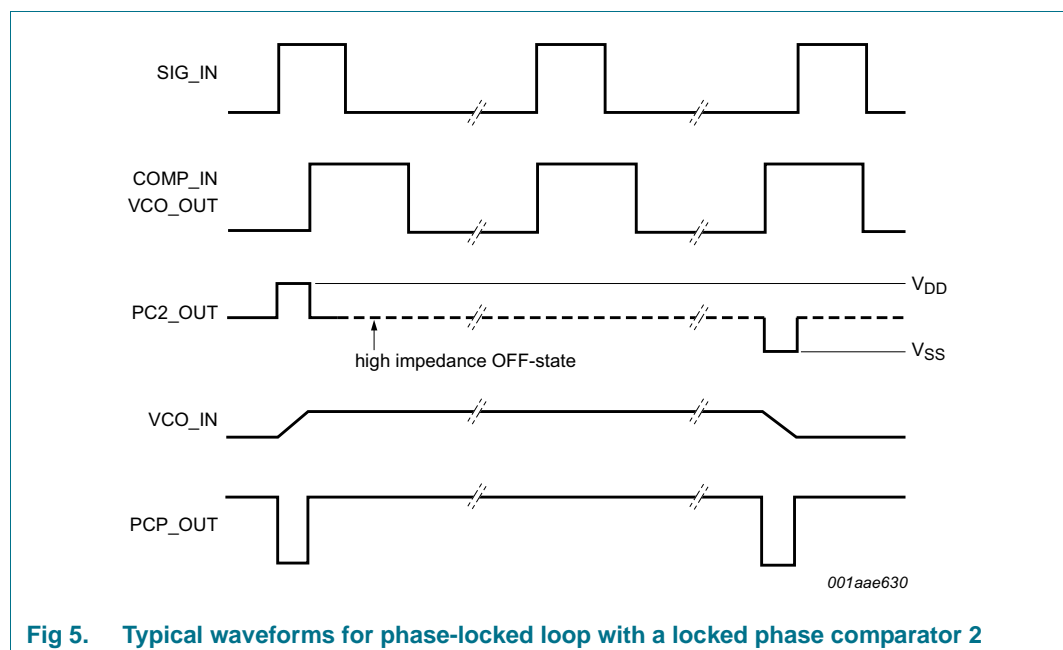


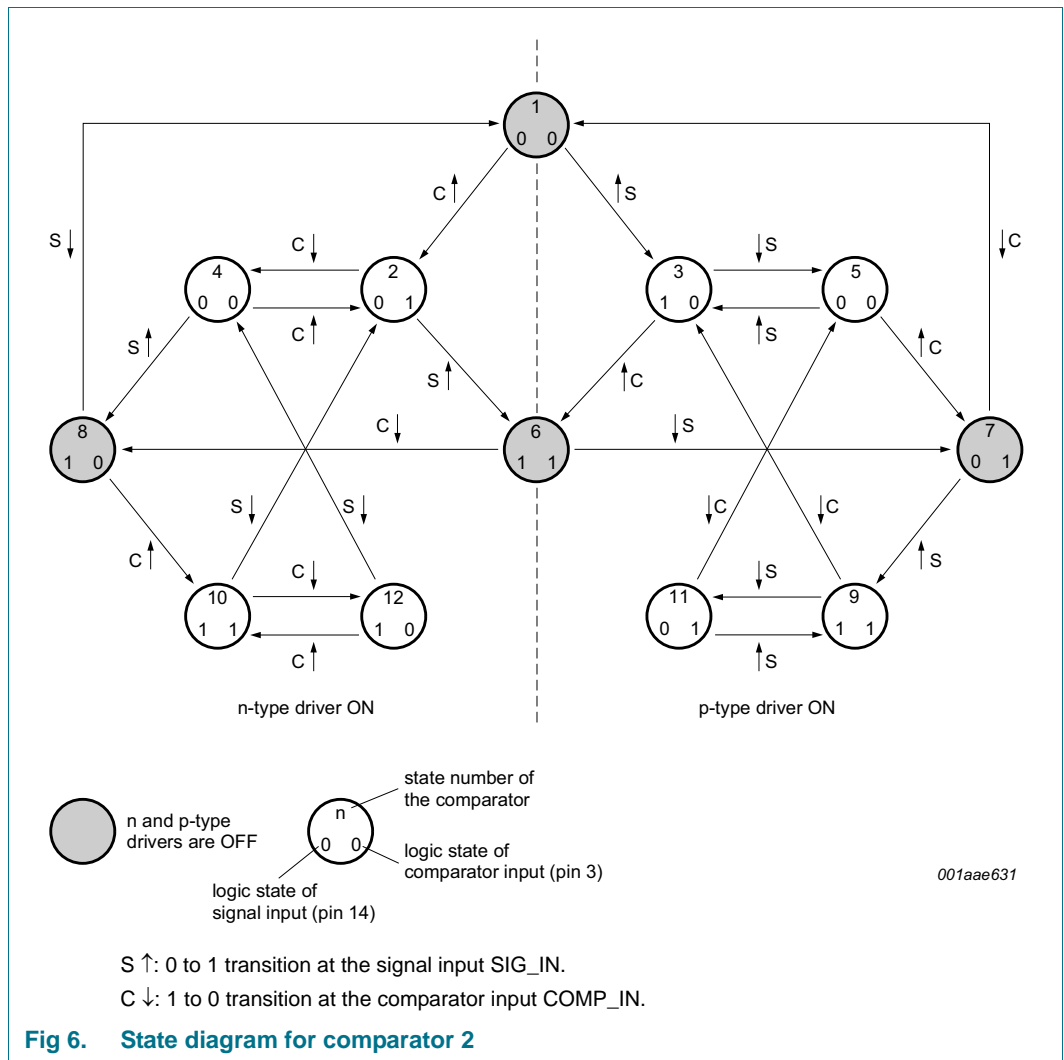
Fig 5. Typical waveforms for phase-locked loop with a locked phase comparator 2

Figure 6 shows the state diagram for phase comparator 2. Each circle represents a state of the comparator. The number at the top, inside each circle, represents the state of the comparator, while the logic state of the signal and comparator inputs are represented by a '0' for a logic LOW or a '1' for a logic HIGH, and they are shown in the left and right bottom of each circle.

The transitions from one to another result from either a logic change at the signal input (S representing SIG_IN) or the comparator input (C representing COMP_IN). A positive-going and a negative-going transition are shown by an arrow pointing up or down respectively.

The state diagram assumes, that only one transition on either the signal input or comparator input occurs at any instant.

- States 3, 5, 9 and 11 represent the output condition when the p-type driver is ON.
- States 2, 4, 10 and 12 determine the condition when the n-type driver is ON.
- States 1, 6, 7 and 8 represent the condition when the output is in its high-impedance OFF state; i.e. both p and n-type drivers are OFF, and the PCP_OUT output is HIGH. The condition at output PCP_OUT for all other states is LOW.



7. Limiting values

Table 3. Limiting values

In accordance with the Absolute Maximum Rating System (IEC 60134).

Symbol	Parameter	Conditions	Min	Max	Unit
V_{DD}	supply voltage		-0.5	+18	V
I_{IK}	input clamping current	$V_I < -0.5\text{ V}$ or $V_I > V_{DD} + 0.5\text{ V}$	-	± 10	mA
V_I	input voltage		-0.5	$V_{DD} + 0.5$	V
I_{OK}	output clamping current	$V_O < -0.5\text{ V}$ or $V_O > V_{DD} + 0.5\text{ V}$	-	± 10	mA
$I_{I/O}$	input/output current		-	± 10	mA
I_{DD}	supply current		-	50	mA
T_{stg}	storage temperature		-65	+150	°C
T_{amb}	ambient temperature		-40	+85	°C
P_{tot}	total power dissipation	SO16 package [1]	-	500	mW
P	power dissipation	per output	-	100	mW

[1] For SO16 package: P_{tot} derates linearly with 8 mW/K above 70 °C.

8. Recommended operating conditions

Table 4. Recommended operating conditions

Symbol	Parameter	Conditions	Min	Typ	Max	Unit
V_{DD}	supply voltage		3	-	15	V
		as fixed oscillator only	3	-	15	V
		phase-locked loop operation	5	-	15	V
V_I	input voltage		0	-	V_{DD}	V
T_{amb}	ambient temperature	in free air	-40	-	+85	°C
$\Delta t/\Delta V$	input transition rise and fall rate	for INH input				
		$V_{DD} = 5\text{ V}$	-	-	3.75	$\mu\text{s/V}$
		$V_{DD} = 10\text{ V}$	-	-	0.5	$\mu\text{s/V}$
		$V_{DD} = 15\text{ V}$	-	-	0.08	$\mu\text{s/V}$

9. Static characteristics

Table 5. Static characteristics
 $V_{SS} = 0\text{ V}$; $V_I = V_{SS}$ or V_{DD} unless otherwise specified.

Symbol	Parameter	Conditions	V_{DD}	$T_{amb} = -40\text{ }^{\circ}\text{C}$		$T_{amb} = 25\text{ }^{\circ}\text{C}$		$T_{amb} = 85\text{ }^{\circ}\text{C}$		Unit
				Min	Max	Min	Max	Min	Max	
V_{IH}	HIGH-level input voltage	$ I_O < 1\text{ }\mu\text{A}$	5 V	3.5	-	3.5	-	3.5	-	V
			10 V	7.0	-	7.0	-	7.0	-	V
			15 V	11.0	-	11.0	-	11.0	-	V
V_{IL}	LOW-level input voltage	$ I_O < 1\text{ }\mu\text{A}$	5 V	-	1.5	-	1.5	-	1.5	V
			10 V	-	3.0	-	3.0	-	3.0	V
			15 V	-	4.0	-	4.0	-	4.0	V
V_{OH}	HIGH-level output voltage	$ I_O < 1\text{ }\mu\text{A}$	5 V	4.95	-	4.95	-	4.95	-	V
			10 V	9.95	-	9.95	-	9.95	-	V
			15 V	14.95	-	14.95	-	14.95	-	V
V_{OL}	LOW-level output voltage	$ I_O < 1\text{ }\mu\text{A}$	5 V	-	0.05	-	0.05	-	0.05	V
			10 V	-	0.05	-	0.05	-	0.05	V
			15 V	-	0.05	-	0.05	-	0.05	V
I_{OH}	HIGH-level output current	$V_O = 2.5\text{ V}$	5 V	-	-1.7	-	-1.4	-	-1.1	mA
		$V_O = 4.6\text{ V}$	5 V	-	-0.52	-	-0.44	-	-0.36	mA
		$V_O = 9.5\text{ V}$	10 V	-	-1.3	-	-1.1	-	-0.9	mA
		$V_O = 13.5\text{ V}$	15 V	-	-3.6	-	-3.0	-	-2.4	mA
I_{OL}	LOW-level output current	$V_O = 0.4\text{ V}$	5 V	0.52	-	0.44	-	0.36	-	mA
		$V_O = 0.5\text{ V}$	10 V	1.3	-	1.1	-	0.9	-	mA
		$V_O = 1.5\text{ V}$	15 V	3.6	-	3.0	-	2.4	-	mA
I_I	input leakage current		15 V	-	± 0.3	-	± 0.3	-	± 1.0	μA
I_{OZ}	OFF-state output current	output HIGH and returned to V_{DD}	15 V	-	1.6	-	1.6	-	12.0	μA
		output LOW and returned to V_{SS}	15 V	-	1.6	-	1.6	-	12.0	μA
I_{DD}	supply current	$I_O = 0\text{ A}$	5 V [1]	-	-	20	-	-	-	μA
			10 V [1]	-	-	300	-	-	-	μA
			15 V [1]	-	-	750	-	-	-	μA
			5 V [2]	-	20	-	20	-	150	μA
			10 V [2]	-	40	-	40	-	300	μA
			15 V [2]	-	80	-	80	-	600	μA
C_I	input capacitance	for INH input		-	-	-	7.5	-	-	pF

[1] Pin 15 open; pin 5 at V_{DD} ; pins 3 and 9 at V_{SS} ; pin 14 open.

[2] Pin 15 open; pin 5 at V_{DD} ; pins 3 and 9 at V_{SS} ; pin 14 at V_{DD} ; input current pin 14 not included.

10. Dynamic characteristics

Table 6. Dynamic characteristics

$V_{SS} = 0\text{ V}$; $T_{amb} = 25\text{ °C}$; $C_L = 50\text{ pF}$; input transition times $\leq 20\text{ ns}$.

Symbol	Parameter	Conditions	V_{DD}	Min	Typ	Max	Unit
Phase comparators							
R_I	input resistance	SIG_IN input; at self-bias operating point	5 V	-	750	-	k Ω
			10 V	-	220	-	k Ω
			15 V	-	140	-	k Ω
$V_{i(sens)}$	input voltage sensitivity	SIG_IN input A.C. coupled; peak-to-peak values; $R_1 = 10\text{ k}\Omega$; $R_2 = \infty$; $C_1 = 100\text{ pF}$; independent of the lock range	5 V	-	150	-	mV
			10 V	-	150	-	mV
			15 V	-	200	-	mV
V_{IL}	LOW-level input voltage	SIG_IN and COMP_IN inputs, DC coupled LOW; full temperature range	5 V	-	-	1.5	V
			10 V	-	-	3.0	V
			15 V	-	-	4.0	V
V_{IH}	HIGH-level input voltage	SIG_IN and COMP_IN inputs, D.C. coupled HIGH; full temperature range	5 V	3.5	-	-	V
			10 V	7.0	-	-	V
			15 V	11.0	-	-	V
I_{IH}	HIGH-level input current	SIG_IN input; at V_{DD}	5 V	-	7	-	μA
			10 V	-	30	-	μA
			15 V	-	70	-	μA
I_{IL}	LOW-level input current	SIG_IN input; at V_{SS}	5 V	-	-3	-	μA
			10 V	-	-18	-	μA
			15 V	-	-45	-	μA
VCO							
P	power dissipation	$f_0 = 10\text{ kHz}$; $R_1 = 1\text{ M}\Omega$; $R_2 = \infty$; VCO_IN at $0.5 V_{DD}$; see Figure 10 to 12	5 V	-	150	-	μW
			10 V	-	2500	-	μW
			15 V	-	9000	-	μW
f_{max}	maximum frequency	VCO_IN at V_{DD} ; $R_1 = 10\text{ k}\Omega$; $R_2 = \infty$; $C_1 = 50\text{ pF}$	5 V	0.5	1.0	-	MHz
			10 V	1.0	2.0	-	MHz
			15 V	1.3	2.7	-	MHz
$\Delta f/\Delta T$	frequency variation with temperature	no frequency offset ($f_{min} = 0\text{ Hz}$)	5 V [1]	-	0.22 to 0.30	-	% Hz/°C
			10 V [1]	-	0.04 to 0.05	-	% Hz/°C
			15 V [1]	-	0.01 to 0.05	-	% Hz/°C
		with frequency offset ($f_{min} > 0\text{ Hz}$)	5 V [1]	-	0 to 0.22	-	% Hz/°C
			10 V [1]	-	0 to 0.04	-	% Hz/°C
			15 V [1]	-	0 to 0.01	-	% Hz/°C

Table 6. Dynamic characteristics ...continued $V_{SS} = 0\text{ V}$; $T_{amb} = 25\text{ °C}$; $C_L = 50\text{ pF}$; input transition times $\leq 20\text{ ns}$.

Symbol	Parameter	Conditions	V _{DD}	Min	Typ	Max	Unit
$\Delta f/f$	relative frequency variation	for VCO see Figure 13 and 14					
		R ₁ > 10 k Ω	5 V	-	0.50	-	% Hz
		R ₁ > 400 k Ω	10 V	-	0.25	-	% Hz
		R ₁ = M Ω	15 V	-	0.25	-	% Hz
δ	duty factor	VCO_OUT output	5 V	-	50	-	%
			10 V	-	50	-	%
			15 V	-	50	-	%
R _{in}	input resistance	for pin VCO_IN			10		M Ω
Source follower							
V _{offset}	offset voltage	R _L = 10 k Ω ; VCO_IN at 0.5V _{DD}	5 V [2]	-	1.7	-	V
			10 V	-	2.0	-	V
			15 V	-	2.1	-	V
		R _L = 50 k Ω ; VCO_IN at 0.5V _{DD}	5 V	-	1.5	-	V
			10 V	-	1.7	-	V
			15 V	-	1.8	-	V
$\Delta f/f$	relative frequency variation	VCO output; R _L > 50 k Ω ; see Figure 13	5 V	-	0.3	-	%
			10 V	-	1.0	-	%
			15 V	-	1.3	-	%
Zener diode							
V _Z	working voltage	I _Z = 50 μ A	-	-	7.3	-	V
R _{dyn}	dynamic resistance	For internal Zener diode; I _Z = 1 mA	-	-	25	-	Ω

[1] Over the recommended component range.

[2] The offset voltage is equal to the input voltage on pin VCO_IN minus the output voltage on pin SF_OUT.

11. Design information

Table 7. Design information

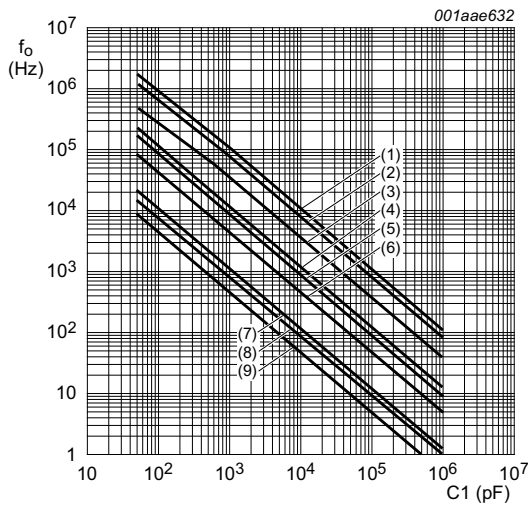
Test	Using phase comparator 1	Using phase comparator 2
VCO adjusts with no signal on SIG_IN	VCO in PLL system adjusts to center frequency (f_0)	VCO in PLL system adjusts to minimum frequency (f_{min})
Phase angle between SIG_IN and COMP_IN	90° at center frequency (f_0), approaching 0° and 180° at the ends of the lock range ($2f_L$)	always 0° in lock (positive-going edges)
Locks on harmonics of center frequency	yes	no
Signal input noise rejection	high	low
Lock frequency range ($2f_L$)	the frequency range of the input signal on which the loop will stay locked if it was initially in lock; $2f_L = \text{full VCO frequency range} = f_{max} - f_{min}$	
Capture frequency range ($2f_c$)	the frequency range of the input signal on which the loop will lock if it was initially out of lock	
	depends on low-pass filter characteristics; $2f_c < 2f_L$	$2f_c = 2f_L$
Center frequency (f_0)	the frequency of the VCO when VCO_IN at 0.5V _{DD}	

11.1 VCO component selection

Recommended range for R1 and R2: 10 kΩ to 1 MΩ; for C1: 50 pF to any practical value.

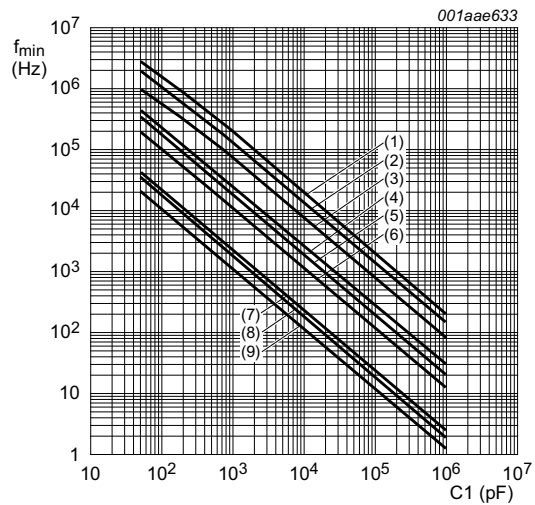
1. VCO without frequency offset (R2 = ∞). 0
 - a. Given f_0 : use f_0 with [Figure 7](#) to determine R1 and C1.
 - b. Given f_{max} : calculate f_0 from $f_0 = 0.5f_{max}$; use f_0 with [Figure 7](#) to determine R1 and C1.
2. VCO with frequency offset.
 - a. Given f_0 and $2f_L$: calculate f_{min} from the equation $f_{min} = f_0 - 2f_L$; use f_{min} with [Figure 8](#) to determine R2 and C1; calculate $\frac{f_{max}}{f_{min}}$ from the equation

$$\frac{f_{max}}{f_{min}} = \frac{f_0 + 2f_L}{f_0 - 2f_L};$$
 use $\frac{f_{max}}{f_{min}}$ with [Figure 9](#) to determine the ratio R2/R1 to obtain R1.
 - b. Given f_{min} and f_{max} : use f_{min} with [Figure 8](#) to determine R2 and C1; calculate $\frac{f_{max}}{f_{min}}$; use $\frac{f_{max}}{f_{min}}$ with [Figure 9](#) to determine R2/R1 to obtain R1.



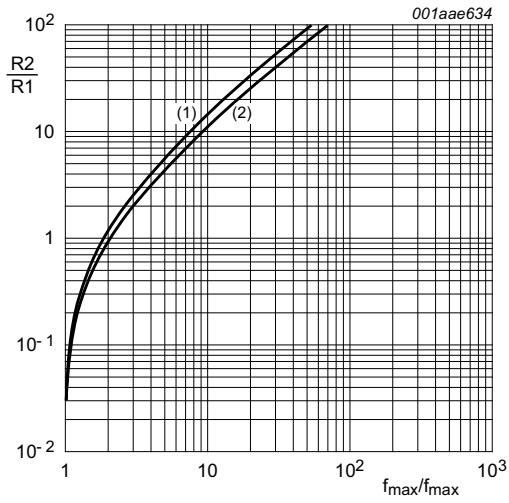
$T_{amb} = 25\text{ }^\circ\text{C}$; VCO_IN at $0.5V_{DD}$; INH_IN at V_{SS} ; R2 = ∞.
 Lines (1), (4), and (7): $V_{DD} = 15\text{ V}$;
 Lines (2), (5), and (8): $V_{DD} = 10\text{ V}$;
 Lines (3), (6), and (9): $V_{DD} = 5\text{ V}$;
 Lines (1), (2), and (3): R1 = 10 kΩ;
 Lines (4), (5), and (6): R1 = 100 kΩ;
 Lines (7), (8), and (9): R1 = 1 MΩ.

Fig 7. Typical center frequency as a function of capacitor C1



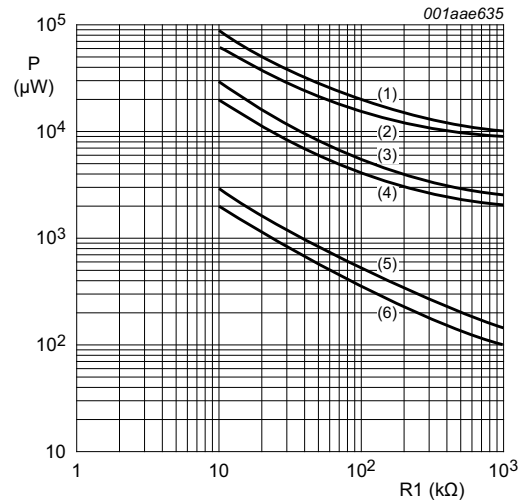
$T_{amb} = 25\text{ }^\circ\text{C}$; VCO_IN at V_{SS} ; INH_IN at V_{SS} ; R1 = ∞.
 Lines (1), (4), and (7): $V_{DD} = 15\text{ V}$;
 Lines (2), (5), and (8): $V_{DD} = 10\text{ V}$;
 Lines (3), (6), and (9): $V_{DD} = 5\text{ V}$;
 Lines (1), (2), and (3): R2 = 10 kΩ;
 Lines (4), (5), and (6): R2 = 100 kΩ;
 Lines (7), (8), and (9): R2 = 1 MΩ.

Fig 8. Typical frequency offset as a function of capacitor C1



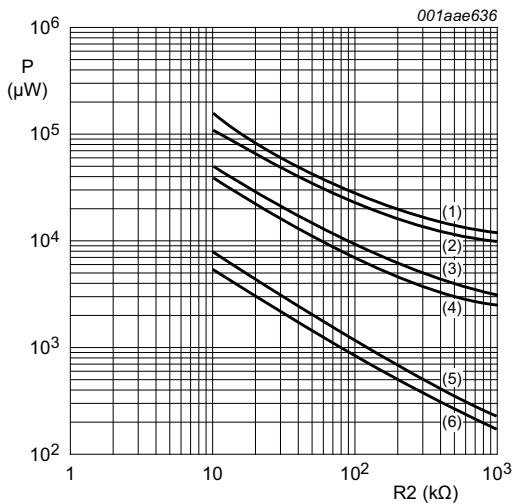
Line (1): $V_{DD} = 5\text{ V}$;
Line (2): $V_{DD} = 10\text{ V}, 15\text{ V}$.

Fig 9. Typical ratio of $R2/R1$ as a function of the ratio f_{max}/f_{min}



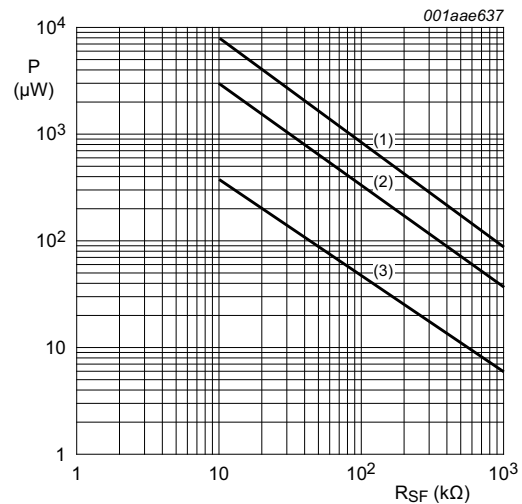
$R2 = \infty$; VCO_IN at $0.5V_{DD}$; $C_L = 50\text{ pF}$.
Lines (1) and (2): $V_{DD} = 15\text{ V}$;
Lines (3) and (4): $V_{DD} = 10\text{ V}$;
Lines (5) and (6): $V_{DD} = 5\text{ V}$;
Lines (1), (3), and (5): $C1 = 50\text{ pF}$;
Lines (2), (4), and (6): $C1 = 1\text{ }\mu\text{F}$.

Fig 10. Power dissipation as a function of $R1$



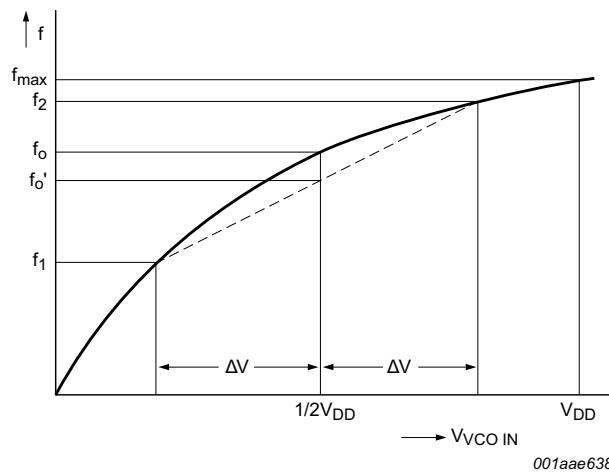
$R1 = \infty$; VCO_IN at $V_{SS} (0\text{ V})$; $C_L = 50\text{ pF}$.
Lines (1) and (2): $V_{DD} = 15\text{ V}$;
Lines (3) and (4): $V_{DD} = 10\text{ V}$;
Lines (5) and (6): $V_{DD} = 5\text{ V}$;
Lines (1), (3), and (5): $C1 = 50\text{ pF}$;
Lines (2), (4), and (6): $C1 = 1\text{ }\mu\text{F}$.

Fig 11. Power dissipation as a function of $R2$



VCO_IN at $0.5V_{DD}$; $R1 = \infty$; $R2 = \infty$.
Line (1): $V_{DD} = 15\text{ V}$;
Line (2): $V_{DD} = 10\text{ V}$;
Line (3): $V_{DD} = 5\text{ V}$.

Fig 12. Power dissipation of source follower as a function of R_L



See [Section 10](#).

For VCO linearity:

$$f_0 = \frac{f_1 + f_2}{2}$$

$$linearity = \frac{f_0' - f_0}{f_0} \times 100 \%$$

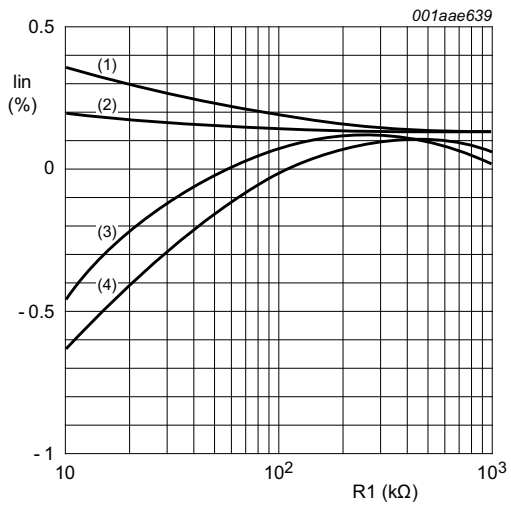
This figure and the above formula also apply to source follower linearity: substitute V_O at SF_OUT for f .

$\Delta V = 0.3 \text{ V}$ at $V_{DD} = 5 \text{ V}$;

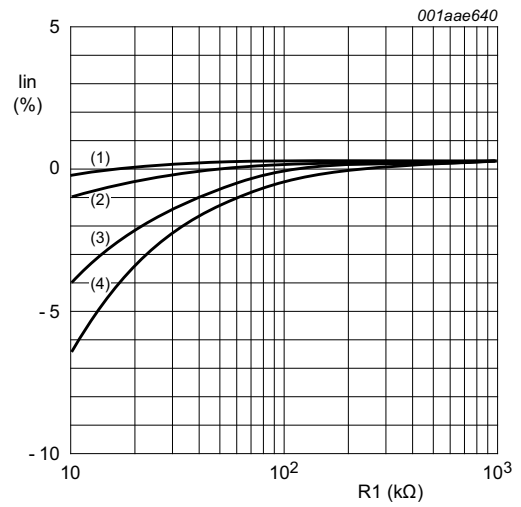
$\Delta V = 2.5 \text{ V}$ at $V_{DD} = 10 \text{ V}$;

$\Delta V = 5.0 \text{ V}$ at $V_{DD} = 15 \text{ V}$.

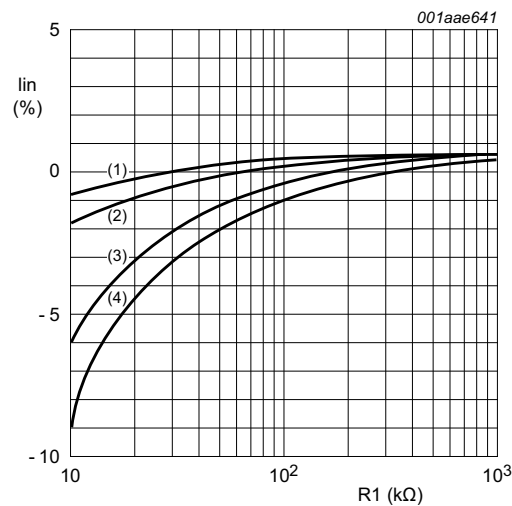
Fig 13. Definition of linearity



a. $V_{DD} = 5\text{ V}$



b. $V_{DD} = 10\text{ V}$



c. $V_{DD} = 15\text{ V}$

$R2 = \infty$;

Line (1): $C1 = 1\ \mu\text{F}$;

Line (2): $C1 = 1\ \text{nF}$;

Line (3): $C1 = 100\ \text{pF}$;

Line (4): $C1 = 50\ \text{pF}$.

Fig 14. VCO frequency linearity as a function of R1

12. Package outline

SO16: plastic small outline package; 16 leads; body width 3.9 mm

SOT109-1

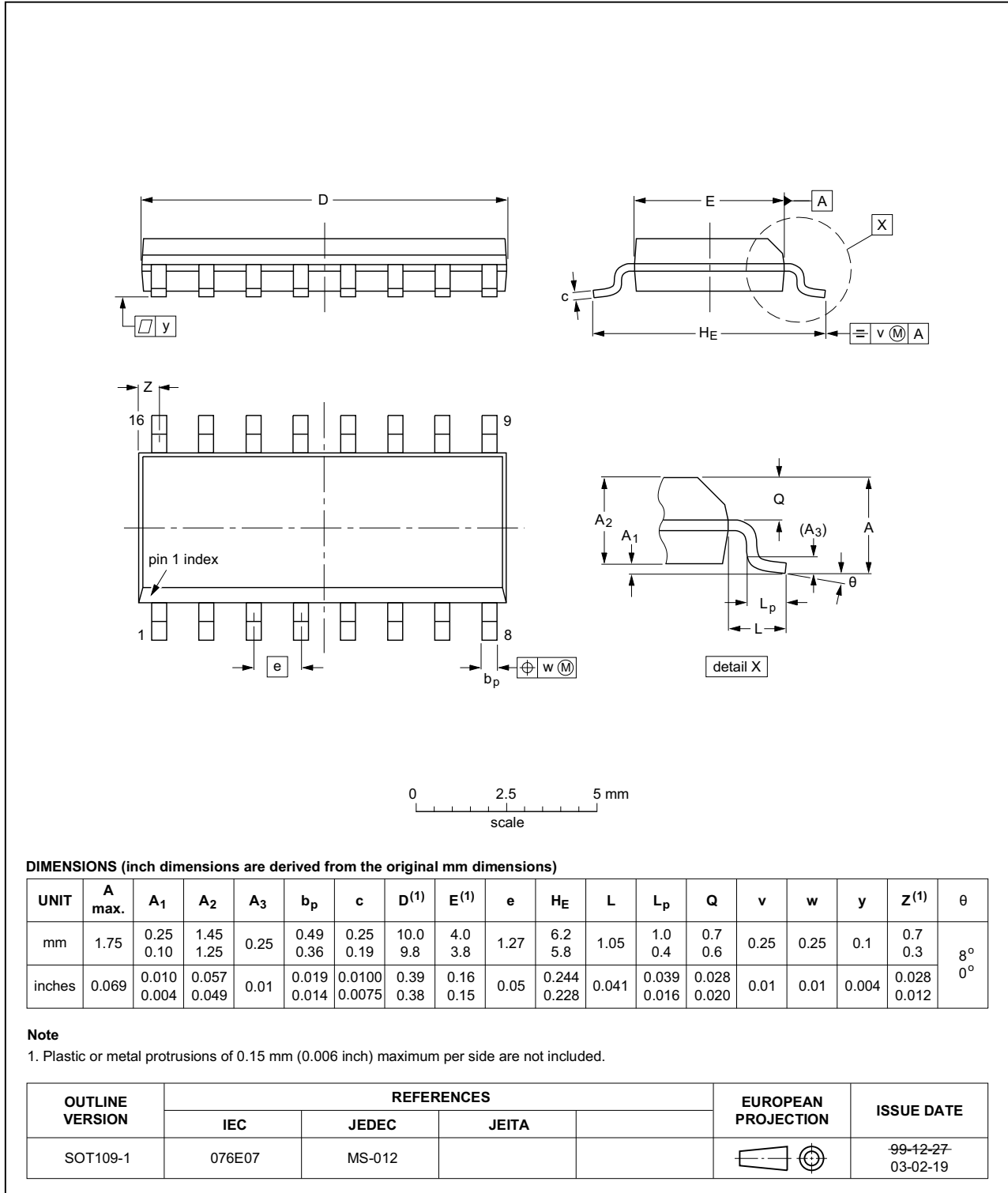


Fig 15. Package outline SOT109-1 (SO16)

13. Revision history

Table 8. Revision history

Document ID	Release date	Data sheet status	Change notice	Supersedes
HEF4046B v.6	20160324	Product data sheet	-	HEF4046B v.5
Modifications:	<ul style="list-style-type: none"> Type number HEF4046BP (SOT38-4) removed. 			
HEF4046B v.5	20111118	Product data sheet	-	HEF4046B v.4
Modifications:	<ul style="list-style-type: none"> Section Applications removed Table 5: I_{OH} minimum values changed to maximum Table 6: R_{in} typical value changed from 10⁶ MΩ to 10 MΩ 			
HEF4046B v.4	20100105	Product data sheet	-	HEF4046B_CNV v.3
HEF4046B_CNV v.3	19950101	Product specification	-	HEF4046B_CNV v.2
HEF4046B_CNV v.2	19950101	Product specification	-	-

14. Legal information

14.1 Data sheet status

Document status ^{[1][2]}	Product status ^[3]	Definition
Objective [short] data sheet	Development	This document contains data from the objective specification for product development.
Preliminary [short] data sheet	Qualification	This document contains data from the preliminary specification.
Product [short] data sheet	Production	This document contains the product specification.

[1] Please consult the most recently issued document before initiating or completing a design.

[2] The term 'short data sheet' is explained in section "Definitions".

[3] The product status of device(s) described in this document may have changed since this document was published and may differ in case of multiple devices. The latest product status information is available on the Internet at URL <http://www.nexperia.com>.

14.2 Definitions

Draft — The document is a draft version only. The content is still under internal review and subject to formal approval, which may result in modifications or additions. Nexperia does not give any representations or warranties as to the accuracy or completeness of information included herein and shall have no liability for the consequences of use of such information.

Short data sheet — A short data sheet is an extract from a full data sheet with the same product type number(s) and title. A short data sheet is intended for quick reference only and should not be relied upon to contain detailed and full information. For detailed and full information see the relevant full data sheet, which is available on request via the local Nexperia sales office. In case of any inconsistency or conflict with the short data sheet, the full data sheet shall prevail.

Product specification — The information and data provided in a Product data sheet shall define the specification of the product as agreed between Nexperia and its customer, unless Nexperia and customer have explicitly agreed otherwise in writing. In no event however, shall an agreement be valid in which the Nexperia product is deemed to offer functions and qualities beyond those described in the Product data sheet.

14.3 Disclaimers

Limited warranty and liability — Information in this document is believed to be accurate and reliable. However, Nexperia does not give any representations or warranties, expressed or implied, as to the accuracy or completeness of such information and shall have no liability for the consequences of use of such information. Nexperia takes no responsibility for the content in this document if provided by an information source outside of Nexperia.

In no event shall Nexperia be liable for any indirect, incidental, punitive, special or consequential damages (including - without limitation - lost profits, lost savings, business interruption, costs related to the removal or replacement of any products or rework charges) whether or not such damages are based on tort (including negligence), warranty, breach of contract or any other legal theory.

Notwithstanding any damages that customer might incur for any reason whatsoever, Nexperia's aggregate and cumulative liability towards customer for the products described herein shall be limited in accordance with the *Terms and conditions of commercial sale* of Nexperia.

Right to make changes — Nexperia reserves the right to make changes to information published in this document, including without limitation specifications and product descriptions, at any time and without notice. This document supersedes and replaces all information supplied prior to the publication hereof.

Suitability for use — Nexperia products are not designed, authorized or warranted to be suitable for use in life support, life-critical or safety-critical systems or equipment, nor in applications where failure or malfunction of a Nexperia product can reasonably be expected to result in personal injury, death or severe property or environmental damage. Nexperia and its suppliers accept no liability for inclusion and/or use of Nexperia products in such equipment or applications and therefore such inclusion and/or use is at the customer's own risk.

Applications — Applications that are described herein for any of these products are for illustrative purposes only. Nexperia makes no representation or warranty that such applications will be suitable for the specified use without further testing or modification.

Customers are responsible for the design and operation of their applications and products using Nexperia products, and Nexperia accepts no liability for any assistance with applications or customer product design. It is customer's sole responsibility to determine whether the Nexperia product is suitable and fit for the customer's applications and products planned, as well as for the planned application and use of customer's third party customer(s). Customers should provide appropriate design and operating safeguards to minimize the risks associated with their applications and products.

Nexperia does not accept any liability related to any default, damage, costs or problem which is based on any weakness or default in the customer's applications or products, or the application or use by customer's third party customer(s). Customer is responsible for doing all necessary testing for the customer's applications and products using Nexperia products in order to avoid a default of the applications and the products or of the application or use by customer's third party customer(s). Nexperia does not accept any liability in this respect.

Limiting values — Stress above one or more limiting values (as defined in the Absolute Maximum Ratings System of IEC 60134) will cause permanent damage to the device. Limiting values are stress ratings only and (proper) operation of the device at these or any other conditions above those given in the Recommended operating conditions section (if present) or the Characteristics sections of this document is not warranted. Constant or repeated exposure to limiting values will permanently and irreversibly affect the quality and reliability of the device.

Terms and conditions of commercial sale — Nexperia products are sold subject to the general terms and conditions of commercial sale, as published at <http://www.nexperia.com/profile/terms>, unless otherwise agreed in a valid written individual agreement. In case an individual agreement is concluded only the terms and conditions of the respective agreement shall apply. Nexperia hereby expressly objects to applying the customer's general terms and conditions with regard to the purchase of Nexperia products by customer.

No offer to sell or license — Nothing in this document may be interpreted or construed as an offer to sell products that is open for acceptance or the grant, conveyance or implication of any license under any copyrights, patents or other industrial or intellectual property rights.

Export control — This document as well as the item(s) described herein may be subject to export control regulations. Export might require a prior authorization from competent authorities.

Non-automotive qualified products — Unless this data sheet expressly states that this specific Nexperia product is automotive qualified, the product is not suitable for automotive use. It is neither qualified nor tested in accordance with automotive testing or application requirements. Nexperia accepts no liability for inclusion and/or use of non-automotive qualified products in automotive equipment or applications.

In the event that customer uses the product for design-in and use in automotive applications to automotive specifications and standards, customer (a) shall use the product without Nexperia's warranty of the product for such automotive applications, use and specifications, and (b) whenever customer uses the product for automotive applications beyond

Nexperia's specifications such use shall be solely at customer's own risk, and (c) customer fully indemnifies Nexperia for any liability, damages or failed product claims resulting from customer design and use of the product for automotive applications beyond Nexperia's standard warranty and Nexperia's product specifications.

Translations — A non-English (translated) version of a document is for reference only. The English version shall prevail in case of any discrepancy between the translated and English versions.

14.4 Trademarks

Notice: All referenced brands, product names, service names and trademarks are the property of their respective owners.

15. Contact information

For more information, please visit: <http://www.nexperia.com>

For sales office addresses, please send an email to: salesaddresses@nexperia.com

16. Contents

1	General description	1
2	Features and benefits	1
3	Ordering information	1
4	Functional diagram	2
5	Pinning information	2
5.1	Pinning	2
5.2	Pin description	3
6	Functional description	3
6.1	VCO control	3
6.2	Phase comparators	3
7	Limiting values	7
8	Recommended operating conditions	7
9	Static characteristics	8
10	Dynamic characteristics	9
11	Design information	10
11.1	VCO component selection	11
12	Package outline	15
13	Revision history	16
14	Legal information	17
14.1	Data sheet status	17
14.2	Definitions	17
14.3	Disclaimers	17
14.4	Trademarks	18
15	Contact information	18
16	Contents	19